

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-306853  
 (43)Date of publication of application : 22.11.1996

(51)Int.Cl. H01L 23/50  
 H01L 21/60  
 H01L 23/12  
 H01L 23/28

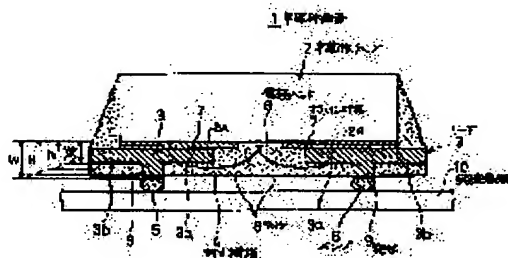
(21)Application number : 07-110380  
 (22)Date of filing : 09.05.1995

(71)Applicant : FUJITSU LTD  
 (72)Inventor : HAYASHIDA KATSUHIRO  
 SATO MITSUTAKA  
 UNO TADASHI  
 FUJISAWA TETSUYA  
 WAKI MASAKI

**(54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF AND MANUFACTURE OF LEAD FRAME****(57)Abstract:**

**PURPOSE:** To provide a semiconductor device having resin-sealed semiconductor chip and lead, manufacture thereof and manufacture of a lead frame used for the semiconductor device, wherein reliability of the semiconductor chip, standardization of an external electrode terminal, reduction in manufacturing cost and improvement in production efficiency may be realized.

**CONSTITUTION:** A semiconductor device has a semiconductor chip 2 having an electrode pad 6 at a first pitch, a lead 3 electrically connected with the electrode pad 6 via a wire 8, and seal resin 4 for sealing the semiconductor chip 2. In this semiconductor device, a protrusion 9 to be an external connection terminal is formed on the lead 3 at a second pitch different from the first pitch. The seal resin 4 seals the wire 8 arranged between the electrode pad 6 and the lead 3. Also, the protrusion 9 is exposed.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted to registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

-----  
CLAIMS  
-----

[Claim(s)]

[Claim 1] The semiconductor chip in which the electrode pad formed in the 1st pitch was formed. The lead electrically connected with the aforementioned electrode pad through wiring. The closure resin which closes the aforementioned semiconductor chip. It is the semiconductor device equipped with the above, and while forming the salient which becomes the aforementioned lead with an external end-connection child in the 1st pitch of the above, and the 2nd different pitch, the wiring with which the aforementioned closure resin was taken about between the aforementioned electrode pad and the aforementioned lead is closed, and it carries out being arranged so that the aforementioned salient may be exposed as the feature.

[Claim 2] The semiconductor chip in which the electrode pad formed in the 1st pitch was formed. The lead electrically connected with the aforementioned electrode pad through wiring. The closure resin which closes the aforementioned semiconductor chip. While being the semiconductor device equipped with the above and forming the salient which becomes the aforementioned lead with an external end-connection child in the 1st pitch of the above, and the 2nd different pitch It is characterized by constituting so that the thickness of the aforementioned closure resin in the aforementioned arrangement side may be below a height size from the aforementioned arrangement side to the aforementioned salient and may become more than a height size to the aforementioned wiring from the aforementioned arrangement side on the basis of the arrangement side of the aforementioned electrode pad formed in the aforementioned semiconductor chip.

[Claim 3] The semiconductor device characterized by joining a polyimide film for the aforementioned semiconductor chip and the aforementioned lead as adhesives in a semiconductor device according to claim 1 or 2.

[Claim 4] The semiconductor device characterized by forming the aforementioned

salient in one with the aforementioned lead in a semiconductor device according to claim 1 to 3.

[Claim 5] The semiconductor device characterized by using a wire as the aforementioned wiring in a semiconductor device according to claim 1 to 4.

[Claim 6] The semiconductor device characterized by forming a bump in the aforementioned salient in a semiconductor device according to claim 1 to 5.

[Claim 7] The manufacture method of a semiconductor device characterized by providing the following. The lead formation process which forms the lead with which it comes to form a salient in the part which serves as an external end-connection child. The junction process which joins the aforementioned lead and the aforementioned semiconductor chip by using the aforementioned polyimide film as adhesives by arranging a polyimide film in either [ at least ] the aforementioned lead or a semiconductor chip, making the aforementioned polyimide film intervene, and pressing the aforementioned lead and the aforementioned semiconductor chip by the predetermined press force, and heating to predetermined temperature. The connection process which connects the aforementioned electrode pad and the aforementioned lead electrically by taking about wiring and connecting the electrode pad and the aforementioned lead which are formed in the aforementioned semiconductor chip. While closing the predetermined range or all of the aforementioned wiring and the aforementioned semiconductor chip, it is the closure resin arrangement process of the aforementioned salient which arranges a closure resin so that an end face may be exposed at least.

[Claim 8] The manufacture method of the semiconductor device characterized by using what arranged the adhesives which have thermoplasticity to both sides as the aforementioned polyimide film in the manufacture method of a semiconductor device according to claim 7 in case the aforementioned lead and the aforementioned semiconductor chip are pasted up with a polyimide film at the aforementioned junction process.

[Claim 9] The manufacture method of the semiconductor device characterized by connecting the aforementioned electrode pad and the aforementioned lead electrically by the direct lead bonding method at the aforementioned connection process in the manufacture method of a semiconductor device according to claim 7 or 8.

[Claim 10] The leadframe characterized by forming a salient in the aforementioned outer-lead section in one in the leadframe in which two or more leads which had the inner lead section and the outer-lead section were formed while setting up the lead pitch of the aforementioned inner lead section small to the lead pitch of the aforementioned

outer-lead section.

[Claim 11] a leadframe according to claim 10 -- setting -- the lead pitch of the aforementioned outer-lead section (Pout) the thickness (W) of the aforementioned lead in the formation position of the aforementioned salient -- abbreviation -- equal (Pout \*\*W) -- and the lead pitch (Pin) of the aforementioned inner lead section -- pitch (Pin=Pout/2) of the abbreviation half of the lead pitch (Pout) of the aforementioned outer-lead section it is -- leadframe characterized by things

[Claim 12] The manufacture method of a leadframe according to claim 10 or 11 characterized by providing the following. The 1st etching process which performs half etching to the aforementioned base material after arranging a mask in the formation position of the aforementioned salient in a base material. The 2nd etching process which etches to the aforementioned base material and forms a lead after arranging a mask in the aforementioned lead formation position after the end of the etching process of the above 1st.

[Claim 13] The manufacture method of a leadframe characterized by providing the following. The lead pattern formation process which forms a lead pattern so that it may become the configuration of the aforementioned lead, when the 1st base material and 2nd base material from which board thickness was selected are prepared so that it may become the predetermined height size of the aforementioned salient by piling up in the manufacture method of a leadframe according to claim 10 or 11, and plane view is carried out to the 1st base material of the above. The salient pattern formation process which forms a salient pattern in the 2nd base material of the above so that it may be located in the formation position of the aforementioned salient at least. The 1st base material of the above in which the aforementioned lead pattern was formed. The junction process which joins the 1st base material of the above, and the 2nd base material of the above so that the 2nd base material of the above in which the aforementioned salient pattern was formed may be piled up and the laminating of the aforementioned lead pattern and the aforementioned salient pattern may be carried out in the formation position of the aforementioned salient, and the removal process which removes the garbage of the 1st base material of the above, and the 2nd base material.

[Claim 14] The manufacture method of the leadframe characterized by providing the lead pattern formation process which forms a lead pattern so that it may become the configuration of the aforementioned lead in the manufacture method of a leadframe according to claim 10 or 11, when plane view is carried out to a base material, and the salient formation process which forms the aforementioned salient in the predetermined position of the formed lead pattern after the aforementioned lead pattern formation

process.

[Claim 15] It is the manufacture method of the leadframe characterized by the aforementioned salient formation process forming the aforementioned salient in the predetermined position of the aforementioned lead pattern for a bump the singular number or by accumulating more than one in the manufacture method of a leadframe according to claim 14.

[Claim 16] When the aforementioned salient formation process arranges a conductive member in the predetermined position of the aforementioned lead pattern in the manufacture method of a leadframe according to claim 14, it is the manufacture method of the leadframe characterized by forming the aforementioned salient.

[Claim 17] When the aforementioned salient formation process carries out plastic working of the predetermined position of the aforementioned lead pattern in the manufacture method of a leadframe according to claim 14, it is the manufacture method of the leadframe characterized by forming the aforementioned salient.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the manufacture method of a leadframe used for a semiconductor device with the composition which related to a semiconductor device, its manufacture method, and the manufacture method of a leadframe, especially carried out the resin seal of a semiconductor chip and the lead, its manufacture method, and the semiconductor device concerned.

[0002] In recent years, densification of a semiconductor device and high-density-assembly-ization of a semiconductor device are attained with downsizing-izing of electronic equipment. On the other hand, improvement in the reliability of electronic equipment is also desired and it is necessary to also raise the reliability of a semiconductor device in connection with this. Furthermore, as for the semiconductor device, reduction of product cost is also desired.

[0003] Therefore, a semiconductor device with which may be satisfied of each above-mentioned demand is desired.

[0004]

[Description of the Prior Art] In recent years, the mounting structure of a flip chip method is known as a method of performing high density assembly, and it is widely used in the multi-chip module (MCM). Flip chip mounting used by this MCM forms the bump

in the electrode pad of the semiconductor chip (bare chip) which has not carried out the resin seal, and is considered as the composition mounted by carrying out face down bonding of this bare chip to the polar zone formed in the substrate (mother board).

[0005] Since it connects with a mother board electrically using the bump who became possible [ arranging a semiconductor device in a mother board with high density by using the mounting structure of the above-mentioned flip chip method ], and was directly formed in the bare chip, an electrical property can be raised.

[0006]

[Problem(s) to be Solved by the Invention] However, the bare chip with which the resin seal is not carried out has thermal resistance, a mechanical strength, and the trouble that moisture resistance is weak. Moreover, in order to form a direct bump in the electrode pad currently formed in the bare chip and to form an external end-connection child, the layout of the electrode pad currently formed in the bare chip will turn into an external end-connection child's (bump) layout as it is.

[0007] Generally, even if the layout of the electrode pad of a semiconductor chip is a semiconductor device which differ for every semiconductor manufacture maker, therefore has the same function, it needs to design the circuit pattern of a mother board so that it may correspond to the kind (manufacture maker) of semiconductor device by the user side. Thus, with the mounting structure using the conventional bare chip, by not carrying out standardization of the external electrode terminal of a semiconductor device, the matching nature of a semiconductor device and a mother board was missing, and there was a trouble of \*\* to which the burden by the side of a user becomes heavy.

[0008] Moreover, although it was possible to attain standardization by performing process processing on a chip front face, and taking about wiring in order to solve this, with this composition, many processes of having high degree of accuracy were needed for leading about of wiring, and there was a trouble of causing elevation of product cost and decline in productive efficiency.

[0009] this invention is made in view of the above-mentioned point, and it aims at offering the semiconductor device which can aim at standardization of an external electrode terminal, reduction of product cost, and improvement in productive efficiency, its manufacture method, and the manufacture method of a leadframe, maintaining the reliability of a semiconductor chip.

[0010]

[Means for Solving the Problem] The above-mentioned technical problem is solvable by providing each following means. The semiconductor chip in which the electrode pad formed in the 1st pitch was formed in invention according to claim 1, In the

semiconductor device possessing the lead electrically connected with the aforementioned electrode pad through wiring, and the closure resin which closes the aforementioned semiconductor chip While forming the salient which becomes the aforementioned lead with an external end-connection child in the 1st pitch of the above, and the 2nd different pitch, the wiring with which the aforementioned closure resin was taken about between the aforementioned electrode pad and the aforementioned lead is closed, and it carries out being arranged so that the aforementioned salient may be exposed as the feature.

[0011] Moreover, the semiconductor chip in which the electrode pad formed in the 1st pitch was formed in invention according to claim 2, In the semiconductor device possessing the lead electrically connected with the aforementioned electrode pad through wiring, and the closure resin which closes the aforementioned semiconductor chip While forming the salient which becomes the aforementioned lead with an external end-connection child in the 1st pitch of the above, and the 2nd different pitch It is characterized by constituting so that the thickness of the aforementioned closure resin in the aforementioned arrangement side may be below a height size from the aforementioned arrangement side to the aforementioned salient and may become more than a height size to the aforementioned wiring from the aforementioned arrangement side on the basis of the arrangement side of the aforementioned electrode pad formed in the aforementioned semiconductor chip.

[0012] Moreover, in invention according to claim 3, it is characterized by joining a polyimide film for the aforementioned semiconductor chip and the aforementioned lead as adhesives in a semiconductor device the aforementioned claim 1 or given in two.

[0013] Moreover, in invention according to claim 4, it is characterized by forming the aforementioned salient in the aforementioned claim 1 or either of 3 in one with the aforementioned lead in the semiconductor device of a publication. Moreover, in invention according to claim 5, it is characterized by using a wire for the aforementioned claim 1 or either of 4 as the aforementioned wiring in the semiconductor device of a publication.

[0014] Moreover, in invention according to claim 6, it is characterized by forming a bump in the aforementioned claim 1 or either of 5 in the semiconductor device of a publication at the aforementioned salient. Moreover, the lead formation process which forms the lead with which it comes to form a salient in the part which serves as an external end-connection child in invention according to claim 7 in the manufacture method of a semiconductor device, By arranging a polyimide film in either [ at least ] the aforementioned lead or a semiconductor chip, making the aforementioned polyimide

film intervene, and pressing the aforementioned lead and the aforementioned semiconductor chip by the predetermined press force, and heating to predetermined temperature The junction process which joins the aforementioned lead and the aforementioned semiconductor chip by using the aforementioned polyimide film as adhesives, and the electrode pad and the aforementioned lead which are formed in the aforementioned semiconductor chip by taking about and connecting wiring While closing the predetermined range or all of the connection process which connects the aforementioned electrode pad and the aforementioned lead electrically, and the aforementioned wiring and the aforementioned semiconductor chip, it is characterized by providing the closure resin arrangement process of the aforementioned salient which arranges a closure resin so that an end face may be exposed at least.

[0015] Moreover, in invention according to claim 8, in the manufacture method of the semiconductor device the claim 7 aforementioned publication, in case the aforementioned lead and the aforementioned semiconductor chip are pasted up with a polyimide film at the aforementioned junction process, it is characterized by using what arranged the adhesives which have thermoplasticity to both sides as the aforementioned polyimide film.

[0016] Moreover, in invention according to claim 9, in the manufacture method of a semiconductor device given in the aforementioned claims 7 or 8, it is the aforementioned connection process and is characterized by connecting the aforementioned electrode pad and the aforementioned lead electrically by the direct lead bonding method.

[0017] Moreover, in invention according to claim 10, in the leadframe in which two or more leads which had the inner lead section and the outer-lead section were formed, while setting up the lead pitch of the aforementioned inner lead section small to the lead pitch of the aforementioned outer-lead section, it is characterized by forming a salient in the aforementioned outer-lead section in one.

[0018] Moreover, in invention according to claim 11, it sets to the leadframe of the claim 10 aforementioned publication. The lead pitch of the aforementioned outer-lead section (Pout) The thickness (W) of the aforementioned lead in the formation position of the aforementioned salient spreads abbreviation etc. ( $P_{out} \gg W$ ). and the lead pitch (Pin) of the aforementioned inner lead section -- pitch ( $P_{in} = P_{out}/2$ ) of the abbreviation half of the lead pitch (Pout) of the aforementioned outer-lead section it is -- it is characterized by things Moreover, in invention according to claim 12, in the manufacture method of a leadframe the aforementioned claim 10 or given in 11, after arranging a mask in the formation position of the aforementioned salient at a base material After arranging a mask in the aforementioned lead formation position after the end of the 1st etching



process which performs half etching to the aforementioned base material, and the etching process of the above 1st It is characterized by providing the 2nd etching process which etches to the aforementioned base material and forms a lead.

[0019] Moreover, in invention according to claim 13, it sets to the manufacture method of a leadframe the aforementioned claim 10 or given in 11. The 1st base material and 2nd base material from which board thickness was selected so that it might become the predetermined height size of the aforementioned salient by piling up are prepared. The lead pattern formation process which forms a lead pattern so that it may become the configuration of the aforementioned lead, when plane view is carried out to the 1st base material of the above, The salient pattern formation process which forms a salient pattern in the 2nd base material of the above so that it may be located in the formation position of the aforementioned salient at least, The 1st base material of the above by which the aforementioned lead pattern was formed, and the 2nd base material of the above in which the aforementioned salient pattern was formed are piled up. It is characterized by providing the junction process which joins the 1st base material of the above, and the 2nd base material of the above so that the laminating of the aforementioned lead pattern and the aforementioned salient pattern may be carried out in the formation position of the aforementioned salient, and the removal process which removes the garbage of the 1st base material of the above, and the 2nd base material.

[0020] Moreover, by invention according to claim 14, when plane view is carried out to a base material in the manufacture method of a leadframe the aforementioned claim 10 or given in 11, it carries out providing the lead pattern formation process which forms a lead pattern so that it may become the configuration of the aforementioned lead, and the salient formation process which forms the aforementioned salient in the predetermined position of the lead pattern formed after the aforementioned lead pattern formation process as the feature.

[0021] Moreover, in invention according to claim 15, the aforementioned salient formation process is characterized by forming the aforementioned salient in the predetermined position of the aforementioned lead pattern for a bump the singular number or by accumulating more than one in the manufacture method of the leadframe the claim 14 aforementioned publication.

[0022] Moreover, in invention according to claim 16, the aforementioned salient formation process is characterized by forming the aforementioned salient by arranging a conductive member in the predetermined position of the aforementioned lead pattern in the manufacture method of the leadframe the claim 14 aforementioned publication.

[0023] Furthermore, in invention according to claim 17, the aforementioned salient

formation process is characterized by forming the aforementioned salient in the manufacture method of the leadframe the claim 14 aforementioned publication by carrying out plastic working of the predetermined position of the aforementioned lead pattern.

[0024]

[Function] Each above-mentioned means acts as follows. According to a claim 1 and invention according to claim 2, since a semiconductor chip is closed with a closure resin, it can raise thermal resistance, a mechanical strength, and moisture resistance. Moreover, since an electrode pad can be taken about using a lead and wiring, it can become possible to set up the layout of a lead irrespective of the layout of an electrode pad, and matching nature with a mounting substrate can be raised. Moreover, since it could raise reliability also by this since a closure resin protected the wiring taken about certainly, and the external end-connection child has exposed from the closure resin, electrical installation with a mounting substrate can be performed certainly.

[0025] Moreover, since the polyimide film usually arranged as an insulating material of a semiconductor chip and a lead is used as adhesives according to invention according to claim 3, a semiconductor chip, insulation of a lead, and junction can be performed in package. Therefore, compared with the composition which arranges an insulating material and adhesives separately, simplification of structure and easy-ization of manufacture can be attained.

[0026] Moreover, according to invention according to claim 4, compared with the case where a separate material constitutes a salient and a lead, simplification of structure can be attained by having formed the salient in one with the lead. Moreover, according to invention according to claim 5, wiring between said electrode pads and leads can be easily taken about by having used the wire as wiring.

[0027] Moreover, according to invention according to claim 6, compared with the composition which mounts a salient in a direct mounting substrate, connection with the mounting substrate of a semiconductor device can be easily made by having formed the bump in the salient. Moreover, according to invention according to claim 7, it is made to adhesives-ize by putting a polyimide film on the bottom of predetermined temperature and the predetermined press force in a junction process, and since it is considering as the composition which joins a lead and a semiconductor chip by the polyimide film by this, the insulation and junction to a lead and a semiconductor chip can be performed in package.

[0028] Moreover, at a connection process, in order to take about wiring and to connect the electrode pad and the aforementioned lead which are formed in the semiconductor

chip, it becomes possible by setting up this leading about suitably to change the layout of a lead to the layout of an electrode pad. Moreover, a semiconductor device is manufactured only at 4 of a lead formation process, a junction process, a connection process, and a closure resin arrangement process processes. Thus, since a semiconductor device is manufactured at a few process, productive efficiency can be raised.

[0029] Moreover, since junction processing can be performed according to invention according to claim 8, without controlling the temperature impressed to a polyimide film by using for both sides what arranged the adhesives which have thermoplasticity as a polyimide film to predetermined within the limits, junction processing can be performed easily.

[0030] Moreover, according to invention according to claim 9, since an electrode pad and a lead are electrically connected at a connection process using the direct lead bonding method, connection processing with an electrode pad and a lead can be ensured [ simply and ]. Moreover, since the lead pitch of the inner lead section is small set up to the lead pitch of the outer-lead section according to a claim 10 and invention according to claim 11, Even if the arrangement pitch of the electrode pad of a semiconductor chip to which the inner lead section is connected electrically is small, it can be made to correspond to this, and since the lead pitch of the outer-lead section electrically connected with a mounting substrate is large, it can raise the mounting nature to a mounting substrate. Moreover, by forming a salient in the outer-lead section, it can act as the external end-connection child of this salient, it can be used, and mounting nature can be raised also by this.

[0031] Moreover, by performing half etching to a base material, after arranging a mask in the formation position of a salient in the 1st etching process according to invention according to claim 12 A salient can form the lead formed in one by etching to the base material which the 1st etching process ended, after making thin board thickness of the portion except a salient formation position and arranging a mask in a lead formation position in the 2nd etching process further.

[0032] Here, the pitch of a lead will be determined by the board thickness of a base material in case a lead is formed. Specifically, the pitch of a lead cannot be in the board thickness of a base material, abbreviation, etc. by carrying out, and can be formed only in a pitch. Therefore, a lead pitch can be formed into a \*\* pitch, so that thin board thickness is used.

[0033] However, the board thickness of a base material cannot be decided by the lead in which a salient is formed with the height of a salient, and the lead of a \*\* pitch cannot

be formed in having only carried out etching processing of the base material which has board thickness equal to the height of a salient. However, by making board thickness of a base material thin except for a salient formation position in the 1st etching process as mentioned above, and forming a lead in the portion which has this board thickness made thin in the 2nd etching process, even if it is the lead which has a salient, it becomes possible to perform lead formation of a \*\* pitch. In addition, the arrangement pitch of a salient can be in the board thickness of a base material, abbreviation, etc. by carrying out, and can be formed into a \*\* pitch to a pitch so that clearly from the above-mentioned explanation.

[0034] Moreover, according to invention according to claim 13, since board thickness is selected so that the 1st base material and the 2nd base material may serve as a predetermined height size of a salient by piling up, let board thickness of each base material be thickness smaller than the height size of a salient. At a lead pattern formation process, since a lead pattern is formed so that it may become the configuration of a lead to the 1st thin base material of this board thickness, the lead pitch of the lead pattern formed can be formed into a \*\* pitch by the relation of the board thickness and the lead pitch which were explained previously.

[0035] Moreover, by forming a salient pattern so that it may be located in the formation position of the aforementioned salient at least in a salient pattern formation process at the 2nd base material, piling up the 1st base material of the above, and the 2nd base material, and joining in a junction process, in the formation position of a salient, the laminating of a lead pattern and the salient pattern is carried out, and the board thickness in this position serves as predetermined height of a salient. At the continuing removal process, a garbage is removed and a lead is formed.

[0036] Therefore, the salient of predetermined height can be formed by being able to form a lead pitch into a \*\* pitch, since board thickness is thin as mentioned above at the time of formation of a lead pattern, and carrying out the laminating of a lead pattern and the salient pattern in a salient formation position. Moreover, according to invention according to claim 14, by performing separately the lead pattern formation process which forms a lead pattern, and the salient formation process which forms a salient, the thickness of a base material can be selected irrespective of the height of a salient, and \*\* pitch-ization of a lead pattern can be attained by therefore using a thin base material. Moreover, in a salient formation process, it can become possible to form the salient which has arbitrary height, and the flexibility of a design can be raised.

[0037] Furthermore, according to invention according to claim 15 to 17, in a salient formation process, a salient can be formed easily.

[0038]

[Example] Next, the example of this invention is explained with a drawing. Drawing 1 and drawing 2 show the semiconductor device 1 which is one example of this invention. Drawing 1 is the cross section of a semiconductor device 1, and drawing 2 is a bottom plan view about a semiconductor device 1.

[0039] As shown in each drawing, if the outline of the semiconductor device 1 is carried out, it is constituted by a semiconductor chip 2, two or more leads 3, the closure resin 4, and the bump 5 grade. The electrode pads 6 of plurality [ semiconductor chip / 2 / mid gear / at the bottom ] are installed successively at the single tier. Moreover, two or more leads 3 are considered as composition with inner lead section 3a and outer-lead section 3b, respectively, and are considered as the composition joined to the base of a semiconductor chip 2 through the polyimide film 7.

[0040] While this polyimide film 7 functions as insulating member which insulates electrically circuit side 2A formed in the upper surface of a semiconductor chip 2, and lead 3, the polyimide film 7 is functioning as adhesives which join a semiconductor chip 2 and lead 3 so that it may mention later. Thus, compared with the composition which arranges an insulating material and adhesives separately, simplification of the structure of a semiconductor device 1 and easy-ization of manufacture can be attained by giving the function of the both sides of insulating member and adhesives to the polyimide film 7.

[0041] Moreover, the wire 8 is arranged between inner lead section 3a and the electrode pad 6 formed in the semiconductor chip 2, and the semiconductor chip 2 and the lead 3 are considered as the composition connected electrically through this wire 8. Furthermore, the salient 9 which serves as an external end-connection child is formed in the predetermined position of outer-lead section 3b established in each lead 3 in one. The lead 3 considered as the above-mentioned composition has the so-called lead-on chip (LOC) structure of composition of that the most was arranged on the base of a semiconductor chip 2, as shown in each drawing, and the miniaturization of a semiconductor device 1 is attained.

[0042] Moreover, the closure resin 4 consists of an epoxy resin, and it is formed of molding so that it may mention later. This closure resin 4 is arranged by the predetermined range of the base of a semiconductor chip 2, and the side. However, in this example, the closure resin 4 is considered as the composition which is not arranged on the upper surface of a semiconductor chip 2 from the field which raises heat dissipation nature. .

[0043] The above-mentioned closure resin 4 is constituted so that the thickness (Arrow

H shows among drawing) from this base may be below a height size (Arrow W shows among drawing) from a base to the nose of cam of salient 9 and may become more than a height size (Arrow h shows among drawing) to the loop topmost part of a wire 8 from a base on the basis of the arrangement side (base) of the electrode pad 6 of a semiconductor chip 2 ( $h \leq H \leq W$ ). By considering as this composition, the lead 3 of salient 9 expose point 9a at least from the closure resin 4 certainly, and excluding a part for a wire 8 and the outcrop of salient 9 serves as composition closed by the closure resin 4.

[0044] Thus, since the semiconductor device 1 of this example serves as composition closed by the closure resin 4 in the predetermined range of a semiconductor chip 2 (part except the upper surface), it can raise thermal resistance, a mechanical strength, and moisture resistance. Moreover, since the closure resin 4 protects a wire 8 certainly, the reliability of a semiconductor device 1 can be raised also by this, and since [ of the salient 9 which serves as an external end-connection child further ] it exposes from the closure resin 4 certainly, point 9a at least can perform electrical installation with the mounting substrate 10 certainly.

[0045] Here, paying attention to two or more leads 3 arranged in the base of a semiconductor chip 2 using drawing 2 , it explains below. In addition, the state where the closure resin 4 of explanation arranged in the base of a semiconductor chip 2 in drawing 2 for convenience was removed is shown. As shown in this drawing, the lead 3 is formed so that it may become smaller than the lead pitch (Arrow Pout shows among drawing) of outer-lead section 3b which the lead pitch (Arrow Pin shows among drawing) of adjoining inner lead section 3a adjoins. Specifically, the lead pitch Pin of inner lead section 3a is the lead pitch Pout of outer-lead section 3b. Pitch of an abbreviation half ( $Pin = Pout/2$ ) It is constituted so that it may become. Moreover, it is the lead pitch Pout of outer-lead section 3b so that it may explain in full detail behind. It is constituted so that thickness W of the lead 3 in the formation position of salient 9 may spread abbreviation etc. and it may become ( $Pout \gg W$ ).

[0046] As mentioned above, lead pitch Pout of outer-lead section 3B By receiving and setting up small the lead pitch Pin of inner lead section 3a Even if the arrangement pitch of the electrode pad 6 of a semiconductor chip 2 to which inner lead section 3a is connected electrically is small, it can be made to correspond to this. And lead pitch Pout of outer-lead section 3b (salient 9) electrically connected with the mounting substrate 10 Since it is large, the mounting nature to the mounting substrate 10 of a semiconductor device 1 can be raised.

[0047] On the other hand, the direct bump 5 is formed in the electrode pad 6 currently

arranged in the semiconductor chip 2, and it does not connect with the mounting substrate 10, but the semiconductor device 1 concerning this example is considered as the composition connected to the mounting substrate 10 through lead 3 after taking about a wire 8 between the electrode pad 6 and inner lead section 3a. Therefore, since the electrode pad 6 can be taken about using lead 3 and a wire 8, it becomes possible to set up the layout of lead 3 irrespective of the layout of the electrode pad 6.

[0048] Specifically, in the example shown in drawing 2, the electrode pad 6 currently formed in the center of a semiconductor chip 2 is taken about using a wire 8 and lead 3, and the salient 9 which serves as an external end-connection child is pulled out in the periphery position of a semiconductor chip 2. Moreover, as shown in drawing 3, when the electrode pad 6 is formed in the periphery position of a semiconductor chip 2, it is also possible by taking about the electrode pad 6 using a wire 8 and lead 3 with the application of this invention to form the salient 9 which serves as an external end-connection child inside the formation position of the electrode pad 6. Furthermore, as shown in drawing 4, it also becomes possible to arrange in the outside position of a semiconductor chip 2 the salient 9 which serves as an external end-connection child.

[0049] Thus, the matching nature of the mounting substrate 10 and a semiconductor device 1 can be raised by the bird clapper as it is possible to take about the electrode pad 6 using lead 3 and a wire 8, and the layout of salient 9 which serves as an external end-connection child is easily made as for setting \*\*\*\*\* to a standard external end-connection child's layout. Therefore, the burden by the side of the user using a semiconductor device 1 is mitigable.

[0050] Then, the manufacture method of the semiconductor device 1 considered as the above-mentioned composition is explained. The semiconductor device 1 concerning this invention is manufactured by performing four processes used as the foundations of a lead formation process, a junction process, a connection process, and a closure resin arrangement process, and 2 of a bump formation process and an examination process processes which accompany this. Hereafter, it shall explain for every process.

[0051] Drawing 5 or drawing 9 shows the 1st example of a lead formation process. This lead formation process is a process for forming the leadframe 11 used as the base material of lead 3. In order to form a leadframe 11, the plate-like base material 12 as first shown in drawing 5 is prepared. It is lead frame material, such as 42 alloys, and, as for this base material 12, the height size W and equal of salient 9 which the board thickness tends to form are selected.

[0052] To the above-mentioned base material 12, as first shown in drawing 6, a mask 13 (crepe shows) is arranged. This mask 13 is arranged in the predetermined formation

position (a reference mark 14 shows among drawing) and predetermined cradle formation position (a reference mark 15 shows among drawing) of salient 9.

[0053] If a mask 13 is arranged as mentioned above, half etching processing (1st etching process) will be continuously carried out to a base material 12. In this example, half etching processing is performed to the base material 12 by the wet etching method (it is also possible to use other etching methods, such as dry etching processing). Moreover, etching time is set up so that the thickness of the portion (portion shown in white by drawing 6 ) corroded by etching may serve as a size ( $W/2$ ) of the half of the board thickness  $W$  of a base material 12.

[0054] This half etching processing is completed and the state where the mask 13 was removed is shown in drawing 7 . In this state, only the formation position 14 and the cradle formation position 15 of salient 9 are maintaining thickness  $W$  of the original base material 12, and, in other portions (a reference mark 16 shows), the thickness size has become  $W/2$  by half etching.

[0055] As continuously shown in drawing 8 , after [ which half etching processing ends as mentioned above ] arranging a mask 17 (crepe shows) in the predetermined formation position (a reference mark 18 shows) and the predetermined cradle formation position 15 of lead 3, etching processing is performed to this base material 12.

[0056] If a mask 17 is arranged as mentioned above, portions other than the position in which etching processing (2nd etching process) was continuously carried out to the base material 12, and the mask 17 of a base material 12 was arranged will be removed. The leadframe 11 possessing two or more leads 3 which had by this the predetermined configuration of the lead 3 shown in drawing 9 is formed. In addition, you may perform gold plate etc. to the predetermined part (formation position of lead 3) of this leadframe 11 if needed.

[0057] Thus, the formed leadframe 11 is considered as the composition in which the lead 3 formed inner lead section 3a, outer-lead section 3b, and the salient 9 in one, and the thickness size of inner lead section 3a and outer-lead section 3b except the formation position of salient 9 has become  $W/2$  to the height size of salient 9 being  $W$ .

[0058] Here, the relation between a lead pitch and the board thickness of a base material 12 is explained. As described above, in case lead 3 is formed, the pitch of lead 3 will be determined by the board thickness of a base material 12, and specifically, a lead pitch cannot be in the board thickness of a base material 12, abbreviation, etc. by carrying out, and can be formed only in a pitch. Therefore, a lead pitch can be formed into a \*\* pitch, so that the board thickness of a base material 12 is thin.

[0059] However, the board thickness of a base material 12 cannot be decided by the lead



3 in which salient 9 is formed with the height of salient 9, and the lead of a \*\* pitch cannot be formed in having only carried out etching processing of the base material 12 which has board thickness equal to the height of salient 9. However, by carrying out half etching processing in the 1st etching process, as described above By making board thickness of a base material 12 thin except for the salient formation position 14 (it being made for about W/to become the board thickness of 2), carrying out the 2nd etching process into the portion which has further this board thickness made thin, and forming lead 3 Even if it is the lead 3 which has salient 9, it becomes possible to perform lead formation of a \*\* pitch (lead pitch Pin shown in drawing 1 ). Moreover, the arrangement pitch (Pout) of salient 9 (outer-lead section 3b) becomes possible [ the board thickness W of a base material 12, abbreviation, etc. being by carrying out, and forming a \*\* pitch to a pitch ] for the same reason.

[0060] In addition, if a base material (0.10mm of board thickness generally used as a lead base material, 0.15mm, and 0.20mm) is mentioned as an example as an example, at the base material of 0.10mm of board thickness, it will be the minimum pitch Pout of outer-lead section 3b and salient 9. It is 0.05mm (Pin=0.05mm) about the minimum pitch Pin of 0.10mm (Pout =0.10mm) and inner lead section 3a. It can carry out. Moreover, at the base material of 0.15mm of board thickness, it is the minimum pitch Pout of outer-lead section 3b and salient 9. The minimum pitch Pin of 0.15mm (Pout =0.15mm) and inner lead section 3a can be set to 0.075mm (Pin=0.075mm). Furthermore, at the base material of 0.20mm of board thickness, it is the minimum pitch Pout of outer-lead section 3b and salient 9. It is 0.10mm (Pin=0.10mm) about the minimum pitch Pin of 0.20mm (Pout =0.20mm) and inner lead section 3a. It can carry out.

[0061] On the other hand, if the formation position of salient 9 is observed, the formation position of salient 9 will be determined by the arrangement position of the mask 13 shown in drawing 6 . That is, it becomes possible to carry out an arbitrary setup of the formation position of salient 9 by changing suitably the arrangement position of the mask 13 shown in this drawing 6 . For this reason, by the lead formation method concerning this example, the formation position of salient 9 which serves as an external end-connection child can be set up with flexibility, and it becomes possible to form salient 9 in the standard external end-connection child position therefore defined beforehand easily.

[0062] Then, the 2nd example of a lead formation process is explained. Drawing 10 or drawing 15 shows the 2nd example of a lead formation process. In order to form a leadframe 20 in this example, the 1st base material 21 as first shown in drawing 10 ,

and the 2nd base material 22 as shown in drawing 11 are prepared.

[0063] Board thickness is selected so that each of these base materials 21 and 22 may serve as the predetermined height size  $W$  of salient 9 by piling up, and in this example, both the board thickness sizes of each base materials 21 and 22 are set as  $W/2$ . In addition, the board thickness of each base materials 21 and 22 is good for the basis of the conditions used as the predetermined height size  $W$  of salient 9 by not being limited to this and piling up also as composition which changed board thickness by each base materials 21 and 22.

[0064] The 1st base material 21 shown in drawing 10 is formed of lead frame material, such as for example, 42 alloys, and by carrying out etching processing or press punching processing beforehand, when plane view is carried out, it is considered as the composition in which the lead pattern 23 of the same configuration as lead 3 was formed. However, unlike the lead formation process of having explained in the 1st example, salient 9 is not formed in the lead pattern 23 of this state, but, as for the lead pattern 23, therefore, the board thickness is made into  $W/2$  on the whole. In addition, it is the tooling holes which 25 in drawing shows, and is formed in package at the time of formation of the lead pattern 23.

[0065] On the other hand, the 2nd base material 22 shown in drawing 11 is considered as the composition in which the salient pattern 24 was formed by carrying out etching processing or press punching processing to lead frame material, such as 42 alloys, beforehand. This salient pattern 24 has the straight-line-like pattern configuration, and it is constituted so that the formation position of the predetermined salient 9 may be constructed across horizontally. In addition, drawing 26 is tooling holes and is formed in package at the time of formation of the salient pattern 24.

[0066] Being positioned using tooling holes 25 and 26, it is piled up and united and the 1st base material 21 considered as the above-mentioned composition and the 2nd base material 22 are joined. You may paste up using an electroconductive glue and junction of these the 1st and 2nd base materials 21 and 22 may be joined by welding. Drawing 12 shows the state where the 1st base material 21 and 2nd base material 22 were joined.

[0067] Where the 1st base material 21 and 2nd base material 22 are joined as mentioned above, the salient pattern 24 currently formed in the 2nd base material 22 is constituted so that it may put on the upper part of the predetermined salient formation position of the lead pattern 23 currently formed in the 1st base material 21.

[0068] Drawing 13 is the plan expanding and showing the part which the lead pattern 23 and the salient pattern 24 overlapped, and drawing 14 is the side elevation expanding and showing the part which the lead pattern 23 and the salient pattern 24

overlapped. When the salient patterns 24 of board thickness size  $W / 2$  as well as the lead pattern 23 of board thickness size  $W / 2$  overlap in the shape of a cross joint, the whole board thickness size is set to  $W$  in the formation position of salient 9, therefore it becomes the predetermined protrusion height of salient 9, so that clearly from each drawing (refer to drawing 14 ).

[0069] After junction processing with the 1st base material 21 and the 2nd base material 22 is completed as mentioned above, the leadframe 20 which has the lead 3 with which the salient 9 was formed in one as shown in drawing 15 is formed by removing continuously the part except a garbage and the portion which specifically intersected the lead pattern 23 of the salient pattern 24 by press working of sheet metal etc.

[0070] As mentioned above, lead 3 serves as the composition that inner lead section 3a, outer-lead section 3b, and the salient 9 were formed in one, like [ the leadframe 20 manufactured by this example ] the leadframe 11 manufactured in the 1st example. Moreover, since board thickness of the 1st base material 21 is made into  $W/2$  at the time of formation of the lead pattern 23 shown in drawing 10 , the lead pattern 23 of a \*\* pitch can be formed so that clearly from the relation of the board thickness and the lead pitch which were explained previously.

[0071] On the other hand, if the formation position of salient 9 is observed, the formation position of salient 9 will be determined by the formation position of the salient pattern 24 formed in the 2nd base material 22. That is, it becomes possible by changing the formation position of this salient pattern 24 suitably to carry out an arbitrary setup of the formation position of salient 9. For this reason, also in the lead formation method concerning this example, the formation position of salient 9 which serves as an external end-connection child can be set up with flexibility, and it becomes possible to form salient 9 in the standard external end-connection child position therefore defined beforehand easily.

[0072] If leadframes 11 and 20 (the case where a leadframe 11 is used is mentioned as an example, and the following explanation explains it) are formed by carrying out a lead formation process as mentioned above, the junction process which joins a semiconductor chip 2 to a leadframe 11 continuously will be carried out. Hereafter, a junction process is explained using drawing 16 or drawing 20 .

[0073] In a junction process, the bonding pad section 27 is formed by gold-plating at inner lead section 3a (part to which bonding of the wire 8 will be carried out in the connection process mentioned later if it puts in another way) of a leadframe 11, as first shown in drawing 16 .

[0074] Moreover, as shown in drawing 17, the polyimide film 7 is arranged in the field in which the electrode pad 6 of a semiconductor chip 2 was formed with the composition which only the formation part of this electrode pad 6 exposes. That whose glass transition point is 100-300 degrees C is selected, and this polyimide film 7 is in the state only laid in the semiconductor chip 2 in the state by which it is shown in drawing 17. Therefore, the semiconductor chip 2 is arranged so that the forming face of the electrode pad 6 may be located in the upper part so that the polyimide film 7 may not be omitted. In addition, a resin seal is not performed but the semiconductor chip 2 is made into the shape of a bare chip. Moreover, the above-mentioned polyimide film 7 is good also as composition prepared in a semiconductor chip 2 in the wafer process which forms a semiconductor chip 2.

[0075] Then, the polyimide film 7 is arranged as mentioned above, and as shown in drawing 18, a leadframe 11 is laid in a semiconductor chip 2. Under the present circumstances, a leadframe 11 is positioned so that the lead 3 (inner lead section 3a) currently formed in the leadframe 11 and the electrode pad 6 currently formed in the semiconductor chip 2 may counter with a sufficient precision.

[0076] If a leadframe 11 is laid in the predetermined position on a semiconductor chip 2 as mentioned above, as continuously shown in drawing 19, a fixture 28 descends, and a leadframe 11 will be turned to a semiconductor chip 2, and will be pressed. Moreover, this fixture 28 possesses heating apparatus and the heat generated with a fixture 28 is impressed to the polyimide film 7 through a leadframe 11.

[0077] Although the above-mentioned polyimide film 7 is used more generally as insulating member which insulates a semiconductor chip 2 and a leadframe 11 electrically than before, this invention person discovered functioning as adhesives by putting this polyimide film 7 on the bottom of a predetermined environmental condition. While a glass transition point uses what is 100-300 degrees C and specifically heats the polyimide film 7 of a parenthesis as a polyimide film 7 at +100-200 degrees C of glass transition points, it is 1 - 10 kgf/cm<sup>2</sup>. By impressing the press force, the polyimide film 7 comes to function as adhesives.

[0078] Therefore, while heating the polyimide film 7 in this example paying attention to the above-mentioned point at +100-200 degrees C of glass transition points at the heater formed in the fixture 28 at the time of junction to a semiconductor chip 2 and a leadframe 11, it is 1 - 10 kgf/cm<sup>2</sup> to a polyimide film by processing of a fixture 28. It is considering as the composition which impresses the press force. Thereby, the polyimide film 7 comes to function as adhesives, and it becomes possible to paste up a semiconductor chip 2 and a leadframe 11 using the polyimide film 7.

[0079] By considering as the above-mentioned composition, by the former, the adhesives for pasting up the needed polyimide film with a semiconductor chip 2 and a leadframe 11 become unnecessary, and can aim at reduction of product cost, and reduction of the number of assemblers of a semiconductor device 1. Drawing 20 shows the state where the semiconductor chip 2 and the leadframe 11 were joined with the polyimide film 7.

[0080] In addition, the junction to a semiconductor chip 2 and a leadframe 11 is not limited to the method of joining using the polyimide film 7, applies adhesives to both sides of a polyimide film like before, and may use the method of joining a semiconductor chip 2 and a leadframe 11 in the state where the polyimide film was made to intervene with these adhesives. With this composition, the temperature control and press force control to a polyimide film become unnecessary, and can carry out a junction process easily.

[0081] If a semiconductor chip 2 and a leadframe 11 are joined by carrying out a junction process as mentioned above, the connection process which connects electrically the lead 3 currently continuously formed in the leadframe 11 and the electrode pad 6 currently formed in the semiconductor chip 2 with a wire 8 will be carried out.

[0082] Drawing 21 shows the processing which arranges a wire (for example, golden wire) 8 between the bonding pad sections 27 (refer to drawing 16 ) and the electrode pads 6 which were formed in the lead 3 using the capillary 29. The one where the length of the wire 8 from the field which raises the electrical property of a semiconductor device 1 as everyone knows is shorter is good, and in order to be miniaturization thin shape-ization of a semiconductor device 1, as for a wire 8, it is desirable that it is a low loop.

[0083] For this reason, it is desirable to adopt the low loop bonding method as arranging a wire 8. Although various methods are proposed, the low loop bonding method is also good also as the so-called composition which is made to move horizontally and carries out bonding to lead 3 strike conversely and using law, after carrying out bonding of the wire 8 and moving a capillary 29 to the electrode pad 6 currently first formed in the semiconductor chip 2, for example to the perpendicular upper part continuously.

[0084] As mentioned above, connection processing can be performed easily and at high speed by using the wirebonding method for connecting lead 3 and the electrode pad 6 electrically. Moreover, leading about of the wire 8 between lead 3 and the electrode pad 6 can also have flexibility comparatively, and can be performed. In addition, drawing 22 shows the state where the wire 8 was arranged between the lead 3 and the electrode pad 6, by carrying out a connection process.

[0085] If the electrode pad 6 and lead 3 are electrically connected by the wire 8 by

carrying out a connection process as mentioned above, the closure resin arrangement process which arranges the closure resin 4 in the predetermined portion of a semiconductor chip 2 continuously will be carried out. Hereafter, a closure resin arrangement process is explained using drawing 23 or drawing 25 .

[0086] Drawing 23 shows the state where metal mold 30 was equipped with the leadframe 11 and the semiconductor chip 2 in which the wire 8 grade was arranged, by carrying out each above-mentioned process. Metal mold 30 is constituted by a punch 31 and female mold 32, and it is equipped with a semiconductor chip 2 in metal mold 30 by clamping a leadframe 11 between a punch 31 and female mold 32.

[0087] The punch 31 is considered as the composition which contacts the cradle 33 of salient 9 and a leadframe 11 in the state where it was equipped with the semiconductor chip 2. Since the height of salient 9 and the height of a cradle 33 are equal, therefore, the configuration of a punch 31 is made into the monotonous configuration. Moreover, female mold 32 has the cavity configuration with the space section in the flank of the semiconductor chip 2 with which it was equipped, and the base in drawing of a semiconductor chip 2 is considered as the composition which contacts the base of a cavity 33.

[0088] thus, the metal mold which the punch 31 used at a closure resin arrangement process is a monotonous configuration, and female mold 32 takes manufacturing metal mold 30 since the formation \*\*\*\*\* cavity 33 is also an easy configuration -- cost becomes cheap and, therefore, can be contributed to reduction of the product cost of a semiconductor device 1

[0089] Drawing 24 shows the state where it was filled up with the closure resin 4 (crepe shows) to metal mold 30. By filling up metal mold 30 with the closure resin 4, the periphery side except the upper surface (located in the lower part in drawing 23 or drawing 25 ) which contacted the female mold 31 of a semiconductor chip 2 is closed with the closure resin 4. Moreover, it will be in the state where the lead 3 and wire 8 which are arranged in the base of a semiconductor chip 2 were also closed with the closure resin 4. Moreover, it becomes the composition that the salient 9 was also closed with the closure resin 4 except for the edge which is in contact with the punch 31.

[0090] Drawing 25 shows the state where the closure resin 4 released from mold the semiconductor chip 2 by which restoration processing was carried out from metal mold 30. It has exposed from the closure resin 4 and upper surface 2a of a semiconductor chip 2 can make the heat therefore generated in a semiconductor chip 2 from this upper surface 2a radiate heat efficiently, as shown in this drawing. Moreover, edge 9a of salient 9 is also exposed outside from the closure resin 4, therefore this edge 9a can be

used as an external end-connection child.

[0091] In the state by which it is shown in drawing 25 , even if it constitutes a semiconductor device by cutting a leadframe 11 in the part shown with the alternate long and short dash line in drawing, the same effect as the semiconductor device 1 shown in drawing 1 is realizable. however, edge 9a of the salient 9 which functions as an external end-connection child in the state which shows in drawing 25 -- the front face of the closure resin 4, and abbreviation -- since it is flat-tapped, the mounting nature to the mounting substrate 10 is poor For this reason, in this example, after a closure resin arrangement process is completed, the bump formation process which forms the van section 5 in edge 9a is carried out. Hereafter, a bump formation process is explained using drawing 26 or drawing 30 .

[0092] In a bump formation process, as first shown in drawing 26 , honing processing is performed to the whole surface of a semiconductor chip 2 in which the closure resin 4 was arranged, and while removing the resin waste which remains, edge 9a of salient 9 is exposed outside certainly. After honing processing is completed, as continuously shown in drawing 27 , the semiconductor chip 2 in which the closure resin 4 was arranged is immersed in the solder tub 34, solder is used for edge 9a of salient 9, and sheathing plating is performed (a reference mark 35 shows a solder film). As solder used for this sheathing plating, the application of solder which has the composition ratio of Pb:Sn=1:9, for example can be considered. Drawing 28 shows the state where the solder film 35 was formed in edge 9a of salient 9 of the above-mentioned sheathing plating.

[0093] A bump 5 is formed in edge 9a of the salient 9 in which the solder film 35 was formed continuously after sheathing plating processing is completed as mentioned above. You may form using the imprint bump method which can adopt various methods as this bump's 5 formation method, for example, can form a bump 5 efficiently and easily. Drawing 29 shows the state where the bump 5 was formed in edge 9a of salient 9.

[0094] If a bump 5 is formed in edge 9a of salient 9 as mentioned above, cutting processing of a leadframe 11 will be performed in the position continuously shown in drawing 29 with an alternate long and short dash line, and, thereby, the semiconductor device 1 shown in drawing 30 will be formed. In addition, in advance of cutting processing of this leadframe 11, in order to make cutting processing easy, you may carry out half etching processing to the cutting part of a leadframe 11.

[0095] The examination process which examines whether it operates proper continuously to the semiconductor device 1 manufactured as mentioned above is carried out. Drawing 31 and drawing 33 show the test method of a semiconductor device 1 different, respectively. In the test method shown in drawing 31 , bar in etc. is examined

by equipping this socket 36 with a semiconductor device 1 using the socket 36 considered as the composition which can equip with a bump 5.

[0096] Moreover, the test method shown in drawing 32 is a method of examining a semiconductor device 1 using a probe 37. The semiconductor device 1 is considered as the composition which the edge of lead 3 exposed from the closure resin 4 in the flank position of the closure resin 4. By the exam method, it considers as the composition which examines by contacting a probe 37 to the lead 3 exposed from the closure resin 4 using this. Therefore, it becomes possible by adopting the exam method to examine, after mounting a semiconductor device 1 in the mounting substrate 10.

[0097] Drawing 33 shows the mounting process which mounts a semiconductor device 1 in the mounting substrate 10. As a method of mounting a semiconductor device 1 in the mounting substrate 10, adoption soot \*\*\*\*\* is possible in the well-known various methods. For example, using the infrared reflow method, a paste etc. may be used for the polar zone 38 currently formed in the mounting substrate 10 in the bump 5 prepared in the semiconductor device 1, and a tacking meal and the method of joining a bump 5 and the polar zone 38 by carrying out melting of the bump 5 in an infrared reflow furnace on it may be used.

[0098] Then, the modification of the manufacture method of the above-mentioned semiconductor device is explained below. Drawing 34 or drawing 37 shows the modification of salient 9, respectively. Salient 9A shown in drawing 34 (A) and (B) is the composition which made the configuration the shape of a pillar. Moreover, salient 9B shown in drawing 37 (C) is the composition which made the configuration the prismatic. Thus, it is possible to be able to select various flat-surface configurations of Salients 9, 9A, and 9B, and to select a configuration arbitrarily according to the configuration of the polar zone 38 currently formed in a bump's 5 junction nature and mounting substrate 10 etc. Specifically, when forming Salients 9, 9A, and 9B by the etching method, it can consider as the configuration which asks for the flat-surface configuration of Salients 9, 9A, and 9B easily by selecting suitably the configuration of the mask 13 arranged in the salient formation position 14 shown in drawing 6 .

[0099] Moreover, you may form a rectangle-like crevice in an upper surface center section like [ it is good also as composition which formed the letter crevice of a curve in the upper surface like salient 9C shown in drawing 35 (A), is good also as composition which formed the salient in the upper surface center section like salient 9D shown in drawing 35 (B), and ] salient 9E conversely shown in drawing 35 (C). According to the salients 9C-9E constituted as mentioned above, area in a salient front face can be enlarged and improvement in junction nature with a bump 5 can be aimed at. In



addition, the above-mentioned salients 9C-9E are considered as the composition fixed to the predetermined salient formation position of lead 3 by using an electroconductive glue etc.

[0100] Moreover, being shown in drawing 35 (D) forms salient 9F by making lead 3 deform plastically directly by press working of sheet metal etc. Thus, by forming salient 9F using plastic working, such as press working of sheet metal, salient 9F can be formed very easily. However, by this formation method, the height of salient 9F makes plastic-working threshold value an upper limit, and also has the trouble that it cannot be set as the height beyond it.

[0101] Moreover, being shown in drawing 36 uses wirebonding technology for forming salient 9G, and it is characterized by being referred to as salient 9G by forming a stud bump in a predetermined salient circumstances position. Drawing 36 (A) shows the formation method of salient 9G, and drawing 36 (B) expands and shows salient 9G.

[0102] As mentioned above, salient 9G which become possible [ forming salient 9G in arbitrary positions ], and become an external end-connection child can be easily formed in a predetermined position by forming salient 9G by the stud bump using wirebonding technology. Moreover, formation of salient 9G becomes possible [ forming in package in a connection process among the manufacturing processes of a semiconductor device at the time of arrangement of a wire 8 ], and can attain simplification of a manufacturing process.

[0103] Moreover, the height of salient 9G can be set as arbitration by accumulating two or more stud bumps and arranging them. Salient 9H shown in drawing 37 (A) make height high compared with the composition which formed salient 9G by one stud bump shown in drawing 36 (B) by accumulating a stud bump three pieces.

[0104] moreover, as other methods of making the height of a salient high, it is shown in drawing 37 (B) -- as -- beforehand -- lead 3 -- the conductivity of the letter of a block -- a member 41 -- an electroconductive glue etc. -- fixing -- this conductivity -- the conductivity by which formed the stud bump 42 and the laminating was carried out as shown in the upper part of a member 41 at drawing 37 (C) -- it is good also as composition which a member 41 and the stud bump 42 collaborate and forms salient 9 the case of this composition -- the height of salient 9I -- conductivity -- although decided with the height of a member 41 -- the conductivity of the letter of a block -- the thing of various sizes is offered and, therefore, a member 41 can set up the height of salient 9I arbitrarily

[0105] Drawing 38 shows the modification of a junction process. Although the above-mentioned example showed the composition which joined the semiconductor chip 2 and

the leadframe 11 using the polyimide film 7 which functions as adhesives under predetermined conditions as shown in drawing 16 or drawing 20 , it is good also as composition which replaces with this polyimide film 7 and joins a semiconductor chip 2 and a leadframe 11 using the tape-like adhesives 45.

[0106] Moreover, the arrangement position of the tape-like adhesives 45 is good also as composition which could prepare also in the undersurface of a leadframe 11 as shown not only in the upper surface of a semiconductor chip 2 but in drawing 38 , and was prepared only in the undersurface of a leadframe 11. Furthermore, the arrangement range of the tape-like adhesives 45 can be freely set up, if it is the range shown by the arrow X in drawing except the formation position of the electrode pad 6. In addition, since the tape-like adhesives 45 need to insulate a semiconductor chip 2 and a leadframe 11 electrically, they need to be insulating adhesives.

[0107] Drawing 39 or drawing 42 shows the modification of a connection process. Although the above-mentioned example showed the composition which used the wire 8 for connecting the electrode pad 6 and lead 3 as shown in drawing 21 and drawing 22 , in the modification shown in drawing 39 or drawing 42 , it is characterized by using the direct lead bonding (DLB) method which carries out the direct file of the electrode pad 6 and the lead 3.

[0108] In the example shown in drawing 39 and drawing 40 , it considers as the composition which joins lead 3 to the electrode pad 6 directly using the junction fixture 46 connected to the ultrasonic vibrator. However, with this composition, a possibility that a damage may occur is in the electrode pad 6 with the junction fixture 46 which carries out supersonic oscillation.

[0109] Then, in the example shown in drawing 41 and drawing 42 , the stud bump 47 is beforehand arranged in the electrode pad 6, and it considers as the composition which carries out heating fusion of the stud bump 47 using the heating fixture 48 after making lead 3 contact this stud bump 47, and connects lead 3 with the electrode pad 6. According to this connection method, there is no possibility that the electrode pad 6 may be damaged, and it can raise the reliability of a connection process.

[0110] Moreover, since electric resistance can be reduced compared with the composition which connects lead 3 with the electrode pad 6 using a wire 8 according to the connection process shown in drawing 39 or drawing 42 , the electrical property of a semiconductor device 1 can be raised and it can respond to the high-speed semiconductor chip 2.

[0111] Drawing 43 or drawing 44 shows the modification of a closure resin arrangement process. In the above-mentioned example, the cavity base of the female mold 32 which

constitutes metal mold 30 as shown in drawing 23 and drawing 24 contacted upper surface 2a of a semiconductor chip 2 directly, and was considered as the composition by which the closure resin 4 is not arranged in this upper surface 2a from the field which raises a heat dissipation property.

[0112] However, when the environment where a semiconductor device 1 is used is severe (for example, humid environment), the case where moisture resistance etc. is needed more arises and, in such a case, it is necessary to close a semiconductor chip 2 completely with the closure resin 4 rather than heat dissipation nature. Metal mold 50 shown in drawing 43 and drawing 44 is considered as the composition which closes a semiconductor chip 2 completely by the closure resin 4.

[0113] Specifically, as the cavity 52 currently formed in female mold 51 is shown in drawing 43, it has estranged from the periphery side of a semiconductor chip 2, and as therefore shown in drawing 44, where metal mold is filled up with the closure resin 4, a semiconductor chip 2 serves as composition completely closed by the closure resin 4. Thus, the arrangement position of the closure resin 4 to a semiconductor chip 2 can be set as arbitration by changing suitably the configuration of the cavities 33 and 52 formed in metal mold 30 and 50.

[0114] Moreover, it is also possible to form the semiconductor device 60 of composition of that the salient 9 as shown in drawing 45 projected greatly from the closure resin 4 by forming the crevice equipped with the salient 9 formed in the punch 31 at the lead 3. Since the salient 9 has projected greatly the semiconductor device 60 shown in drawing 45 from the closure resin 4, the mounting nature to the mounting substrate 10 does not need to form a bump 5 like [ it is good and ] the semiconductor device 1 concerning the example therefore described above, and can attain simplification of the manufacturing process of a semiconductor device 60.

[0115]

[Effect of the Invention] According to this invention, the following various effects are realizable like \*\*\*\*. According to a claim 1 and invention according to claim 2, since a semiconductor chip is closed with a closure resin, it can raise thermal resistance, a mechanical strength, and moisture resistance. Moreover, since wiring can be taken about between an electrode pad and a lead, it can become possible to set up the layout of a lead irrespective of the layout of an electrode pad, and matching nature with a mounting substrate can be raised. Moreover, since it could raise reliability also by this since a closure resin protected the wiring taken about certainly, and the external end-connection child has exposed from the closure resin, electrical installation with a mounting substrate can be performed certainly.

[0116] Moreover, since the polyimide film usually arranged as an insulating material of a semiconductor chip and a lead is used as adhesives according to invention according to claim 3, a semiconductor chip, insulation of a lead, and junction can be performed in package, and simplification of structure and easy-ization of manufacture can be attained compared with the composition which therefore arranges an insulating material and adhesives separately.

[0117] Moreover, according to invention according to claim 4, compared with the case where a separate material constitutes a salient and a lead, simplification of structure can be attained by having formed the salient in one with the lead. Moreover, according to invention according to claim 5, wiring between said electrode pads and leads can be easily taken about by having used the wire as wiring.

[0118] Moreover, according to invention according to claim 6, compared with the composition which mounts a salient in a direct mounting substrate, connection with the mounting substrate of a semiconductor device can be easily made by having formed the bump in the salient. Moreover, according to invention according to claim 7, it is made to adhesives-ize by putting a polyimide film on the bottom of predetermined temperature and the predetermined press force in a junction process, and since it is considering as the composition which joins a lead and a semiconductor chip by the polyimide film by this, the insulation and junction to a lead and a semiconductor chip can be performed in package.

[0119] Moreover, at a connection process, in order to take about wiring and to connect the electrode pad and the aforementioned lead which are formed in the semiconductor chip, it becomes possible by setting up this leading about suitably to change the layout of a lead to the layout of an electrode pad. Moreover, a semiconductor device is manufactured only at 4 of a lead formation process, a junction process, a connection process, and a closure resin arrangement process processes. Thus, since a semiconductor device is manufactured at a few process, productive efficiency can be raised.

[0120] Moreover, since junction processing can be performed according to invention according to claim 8, without controlling the temperature impressed to a polyimide film to predetermined within the limits, junction processing can be performed easily. Moreover, according to invention according to claim 8, since an electrode pad and a lead are electrically connected at a connection process using the direct lead bonding method, connection processing with an electrode pad and a lead can be ensured [ simply and ].

[0121] Moreover, since the lead pitch of the inner lead section is small set up to the lead pitch of the outer-lead section according to a claim 10 and invention according to claim

11, Even if the arrangement pitch of the electrode pad of a semiconductor chip to which the inner lead section is connected electrically is small, it can be made to correspond to this, and since the lead pitch of the outer-lead section electrically connected with a mounting substrate is large, it can raise the mounting nature to a mounting substrate. Moreover, by forming a salient in the outer-lead section, it can act as the external end-connection child of this salient, it can be used, and mounting nature can be raised also by this.

[0122] Moreover, according to a claim 12 and invention according to claim 13, a salient can form easily the lead of the \*\* pitch formed in one. Moreover, according to invention according to claim 14, by performing separately the lead pattern formation process which forms a lead pattern, and the salient formation process which forms a salient, the thickness of a base material can be selected irrespective of the height of a salient, and \*\* pitch-ization of a lead pattern can be attained by therefore using a thin base material. Moreover, in a salient formation process, it can become possible to form the salient which has arbitrary height, and the flexibility of a design can be raised.

[0123] Furthermore, according to invention according to claim 15 to 17, in a salient formation process, a salient can be formed easily.

-----  
[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-306853

(43) 公開日 平成8年(1996)11月22日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/50			H 0 1 L 23/50	S
21/60	3 1 1		21/60	3 1 1 Q
23/12			23/28	A
23/28			23/12	L

審査請求 未請求 請求項の数17 O L (全 20 頁)

(21) 出願番号 特願平7-110380

(22) 出願日 平成7年(1995)5月9日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 林田 勝大

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72) 発明者 佐藤 光孝

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

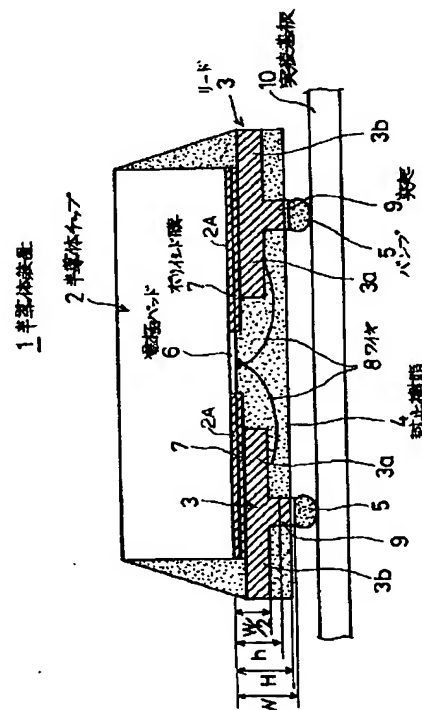
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法及びリードフレームの製造方法

(57) 【要約】

【目的】 本発明は半導体チップ及びリードを樹脂封止した構成を有した半導体装置及びその製造方法及び当該半導体装置に用いるリードフレームの製造方法に関し、半導体チップの信頼性を維持しつつ外部電極端子の標準化、製品コストの低減及び生産効率の向上を図ることを目的とする。

【構成】 第1のピッチで電極パッド6が形成された半導体チップ2と、電極パッド6とワイヤ8を介して電氣的に接続されるリード3と、半導体チップ2を封止する封止樹脂4とを具備する半導体装置において、前記リード3に外部接続端子となる突起9を上記第1のピッチと異なる第2のピッチで形成すると共に、前記封止樹脂4が電極パッド6とリード3との間に引き回されたワイヤ8を封止し、かつ前記突起9を露出させるよう配設したものである。



**【特許請求の範囲】**

**【請求項 1】** 第 1 のピッチにて形成された電極パッドが形成された半導体チップと、

前記電極パッドと配線を介して電氣的に接続されるリードと、

前記半導体チップを封止する封止樹脂とを具備する半導体装置において、

前記リードに外部接続端子となる突起を、上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、

前記封止樹脂が前記電極パッドと前記リードとの間に引き回された配線を封止し、かつ前記突起を露出させるよう配設されることを特徴とする半導体装置。

**【請求項 2】** 第 1 のピッチにて形成された電極パッドが形成された半導体チップと、

前記電極パッドと配線を介して電氣的に接続されるリードと、

前記半導体チップを封止する封止樹脂とを具備する半導体装置において、

前記リードに外部接続端子となる突起を上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、

前記半導体チップに形成された前記電極パッドの配設面を基準とし、前記配設面における前記封止樹脂の厚さが、前記配設面から前記突起までの高さ寸法以下で、かつ前記配設面から前記配線までの高さ寸法以上となるよう構成したことを特徴とする半導体装置。

**【請求項 3】** 請求項 1 または 2 記載の半導体装置において、

前記半導体チップと前記リードとをポリイミド膜を接着剤として接合したことを特徴とする半導体装置。

**【請求項 4】** 請求項 1 乃至 3 のいずれかに記載の半導体装置において、

前記突起を前記リードと一体的に形成したことを特徴とする半導体装置。

**【請求項 5】** 請求項 1 乃至 4 のいずれかに記載の半導体装置において、

前記配線としてワイヤを用いたことを特徴とする半導体装置。

**【請求項 6】** 請求項 1 乃至 5 のいずれかに記載の半導体装置において、

前記突起にバンプを形成したことを特徴とする半導体装置。

**【請求項 7】** 外部接続端子となる部位に突起が形成されてなるリードを形成するリード形成工程と、

前記リード或いは半導体チップの少なくとも一方にポリイミド膜を配設し、前記ポリイミド膜を介在させて前記リードと前記半導体チップを所定押圧力で押圧しかつ所定温度に加熱することにより、前記ポリイミド膜を接着剤として前記リードと前記半導体チップとを接合する接合工程と、

前記半導体チップに形成されている電極パッドと前記リ

ードとを配線を引き回し接続することにより、前記電極パッドと前記リードとを電氣的に接続する接続工程と、前記配線及び前記半導体チップの所定範囲或いは全部を封止すると共に、前記突起の少なくとも端面を露出するよう封止樹脂を配設する封止樹脂配設工程とを具備することを特徴とする半導体装置の製造方法。

**【請求項 8】** 請求項 7 記載の半導体装置の製造方法において、

前記接合工程でポリイミド膜により前記リードと前記半導体チップを接着する際、前記ポリイミド膜として両面に熱可塑性を有する接着剤を配設したものをを用いたことを特徴とする半導体装置の製造方法。

**【請求項 9】** 請求項 7 または 8 記載の半導体装置の製造方法において、

前記接続工程で、前記電極パッドと前記リードとをダイレクトリードボンディング法により電氣的に接続したことを特徴とする半導体装置の製造方法。

**【請求項 10】** インナーリード部とアウターリード部とを有した複数のリードが形成されたリードフレームにおいて、

前記アウターリード部のリードピッチに対して前記インナーリード部のリードピッチを小さく設定すると共に、前記アウターリード部に一体的に突起を形成したことを特徴とするリードフレーム。

**【請求項 11】** 請求項 10 記載のリードフレームにおいて、

前記アウターリード部のリードピッチ ( $P_{out}$ ) と前記突起の形成位置における前記リードの厚さ ( $W$ ) とが略等しく ( $P_{out} \approx W$ )、かつ前記インナーリード部のリードピッチ ( $P_{in}$ ) が前記アウターリード部のリードピッチ ( $P_{out}$ ) の略半分のピッチ ( $P_{in} = P_{out} / 2$ ) であることを特徴とするリードフレーム。

**【請求項 12】** 請求項 10 または 11 記載のリードフレームの製造方法において、

基材に前記突起の形成位置にマスクを配設した上で、前記基材に対してハーフエッチングを行う第 1 のエッチング工程と、

前記第 1 のエッチング工程の終了後、前記リード形成位置にマスクを配設した上で、前記基材に対してエッチングを行いリードを形成する第 2 のエッチング工程とを具備することを特徴とするリードフレームの製造方法。

**【請求項 13】** 請求項 10 または 11 記載のリードフレームの製造方法において、

重ね合わせることにより前記突起の所定高さ寸法となるよう板厚が選定された第 1 の基材と第 2 の基材を用意し、

前記第 1 の基材に、平面視した際に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、

前記第 2 の基材に、少なくとも前記突起の形成位置に位

置するよう突起パターンを形成する突起パターン形成工程と、

前記リードパターンが形成された前記第1の基材と、前記突起パターンが形成された前記第2の基材を重ね合わせ、前記突起の形成位置において前記リードパターンと前記突起パターンが積層されるよう前記第1の基材と前記第2の基材とを接合する接合工程と、  
前記第1の基材及び第2の基材の不要部分を除去する除去工程とを具備することを特徴とするリードフレームの製造方法。

【請求項14】 請求項10または11記載のリードフレームの製造方法において、

基材に、平面視した際に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、  
前記リードパターン形成工程後、形成されたリードパターンの所定位置に前記突起を形成する突起形成工程とを具備することを特徴とするリードフレームの製造方法。

【請求項15】 請求項14記載のリードフレームの製造方法において、  
前記突起形成工程は、前記リードパターンの所定位置にバンパを単数或いは複数積み重ねることにより前記突起を形成したことを特徴とするリードフレームの製造方法。

【請求項16】 請求項14記載のリードフレームの製造方法において、  
前記突起形成工程は、前記リードパターンの所定位置に導電性部材を配設することにより前記突起を形成したことを特徴とするリードフレームの製造方法。

【請求項17】 請求項14記載のリードフレームの製造方法において、  
前記突起形成工程は、前記リードパターンの所定位置を塑性加工することにより前記突起を形成したことを特徴とするリードフレームの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置及びその製造方法及びリードフレームの製造方法に係り、特に半導体チップ及びリードを樹脂封止した構成を有した半導体装置及びその製造方法及び当該半導体装置に用いるリードフレームの製造方法に関する。

【0002】近年、電子機器のダウンサイジング化に伴い、半導体装置の高密度化及び半導体装置の高密度実装化が図られている。一方で、電子機器の信頼性の向上も望まれており、これに伴い半導体装置の信頼性も向上させる必要がある。更に、半導体装置は製品コストの低減も望まれている。

【0003】よって、上記した各要求を満足しうる半導体装置が望まれている。

【0004】

【従来の技術】近年、高密度実装を行う方法としてフリ

ップチップ方式の実装構造が知られており、マルチ・チップ・モジュール（MCM）において広く用いられている。このMCMで用いるフリップチップ実装は、樹脂封止をしていない半導体チップ（ベアチップ）の電極パッドにバンパを形成しておき、このベアチップを基板（マザーボード）に形成された電極部にフェースダウンボンディングすることにより実装する構成とされている。

【0005】上記のフリップチップ方式の実装構造を用いることにより、高密度に半導体装置をマザーボードに配設することが可能となり、またベアチップに直接形成されたバンパを用いてマザーボードに電氣的に接続されるため、電氣的特性を向上させることができる。

【0006】

【発明が解決しようとする課題】しかるに、樹脂封止がされていないベアチップは、耐熱性、機械的強度、及び耐湿性が弱いという問題点がある。また、ベアチップに形成されている電極パッドに直接バンパが形成され外部接続端子を形成するため、ベアチップに形成されている電極パッドのレイアウトがそのまま外部接続端子（バンパ）のレイアウトとなってしまう。

【0007】一般に半導体チップの電極パッドのレイアウトは半導体製造メーカー毎に異なっており、従って同一機能を有する半導体装置であっても、ユーザ側で半導体装置の種類（製造メーカー）に対応するようマザーボードの配線パターンを設計する必要がある。このように、従来のベアチップを用いた実装構造では、半導体装置の外部電極端子の標準化がされていないことにより、半導体装置とマザーボードとのマッチング性に欠け、ユーザ側での負担が重くなるという問題点があった。

【0008】また、これを解決するためにチップ表面にプロセス処理を行い、配線を引き回すことにより標準化を図ることが考えられるが、この構成では配線の引き回しに高精度を有する多くの工程を必要とし、製品コストの上昇及び生産効率の低下を招いてしまうという問題点があった。

【0009】本発明は上記の点に鑑みてなされたものであり、半導体チップの信頼性を維持しつつ外部電極端子の標準化、製品コストの低減及び生産効率の向上を図りうる半導体装置及びその製造方法及びリードフレームの製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上記の課題は下記の各手段を講じることにより解決することができる。請求項1記載の発明では、第1のピッチにて形成された電極パッドが形成された半導体チップと、前記電極パッドと配線を介して電氣的に接続されるリードと、前記半導体チップを封止する封止樹脂とを具備する半導体装置において、前記リードに外部接続端子となる突起を、上記第1のピッチと異なる第2のピッチで形成すると共に、前記封止樹脂が前記電極パッドと前記リードとの間に引き回



された配線を封止し、かつ前記突起を露出させるよう配設されることを特徴とするものである。

【0011】また、請求項2記載の発明では、第1のピッチにて形成された電極パッドが形成された半導体チップと、前記電極パッドと配線を介して電氣的に接続されるリードと、前記半導体チップを封止する封止樹脂とを具備する半導体装置において、前記リードに外部接続端子となる突起を上記第1のピッチと異なる第2のピッチで形成すると共に、前記半導体チップに形成された前記電極パッドの配設面を基準とし、前記配設面における前記封止樹脂の厚さが、前記配設面から前記突起までの高さ寸法以下で、かつ前記配設面から前記配線までの高さ寸法以上となるよう構成したことを特徴とするものである。

【0012】また、請求項3記載の発明では、前記請求項1または2記載の半導体装置において、前記半導体チップと前記リードとをポリイミド膜を接着剤として接合したことを特徴とするものである。

【0013】また、請求項4記載の発明では、前記請求項1乃至3のいずれかに記載の半導体装置において、前記突起を前記リードと一体的に形成したことを特徴とするものである。また、請求項5記載の発明では、前記請求項1乃至4のいずれかに記載の半導体装置において、前記配線としてワイヤを用いたことを特徴とするものである。

【0014】また、請求項6記載の発明では、前記請求項1乃至5のいずれかに記載の半導体装置において、前記突起にバンプを形成したことを特徴とするものである。また、請求項7記載の発明では、半導体装置の製造方法において、外部接続端子となる部位に突起が形成されてなるリードを形成するリード形成工程と、前記リード或いは半導体チップの少なくとも一方にポリイミド膜を配設し、前記ポリイミド膜を介在させて前記リードと前記半導体チップを所定押圧力で押圧しかつ所定温度に加熱することにより、前記ポリイミド膜を接着剤として前記リードと前記半導体チップとを接合する接合工程と、前記半導体チップに形成されている電極パッドと前記リードとを配線を引き回し接続することにより、前記電極パッドと前記リードとを電氣的に接続する接続工程と、前記配線及び前記半導体チップの所定範囲或いは全部を封止すると共に、前記突起の少なくとも端面を露出するよう封止樹脂を配設する封止樹脂配設工程とを具備することを特徴とするものである。

【0015】また、請求項8記載の発明では、前記請求項7記載の半導体装置の製造方法において、前記接合工程でポリイミド膜により前記リードと前記半導体チップを接着する際、前記ポリイミド膜として両面に熱可塑性を有する接着剤を配設したものをを用いたことを特徴とするものである。

【0016】また、請求項9記載の発明では、前記請求

項7または8に記載の半導体装置の製造方法において、前記接続工程で、前記電極パッドと前記リードとをダイレクトリードボンディング法により電氣的に接続したことを特徴とするものである。

【0017】また、請求項10記載の発明では、インナーリード部とアウターリード部とを有した複数のリードが形成されたリードフレームにおいて、前記アウターリード部のリードピッチに対して前記インナーリード部のリードピッチを小さく設定すると共に、前記アウターリード部に一体的に突起を形成したことを特徴とするものである。

【0018】また、請求項11記載の発明では、前記請求項10記載のリードフレームにおいて、前記アウターリード部のリードピッチ ( $P_{out}$ ) と前記突起の形成位置における前記リードの厚さ ( $W$ ) とが略等しく ( $P_{out} \approx W$ )、かつ前記インナーリード部のリードピッチ ( $P_{in}$ ) が前記アウターリード部のリードピッチ ( $P_{out}$ ) の略半分のピッチ ( $P_{in} = P_{out} / 2$ ) であることを特徴とするものである。また、請求項12記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、基材に前記突起の形成位置にマスクを配設した上で、前記基材に対してハーフエッチングを行う第1のエッチング工程と、前記第1のエッチング工程の終了後、前記リード形成位置にマスクを配設した上で、前記基材に対してエッチングを行いリードを形成する第2のエッチング工程とを具備することを特徴とするものである。

【0019】また、請求項13記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、重ね合わせることにより前記突起の所定高さ寸法となるよう板厚が選定された第1の基材と第2の基材を用意し、前記第1の基材に、平面視した際に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、前記第2の基材に、少なくとも前記突起の形成位置に位置するよう突起パターンを形成する突起パターン形成工程と、前記リードパターンが形成された前記第1の基材と、前記突起パターンが形成された前記第2の基材を重ね合わせ、前記突起の形成位置において前記リードパターンと前記突起パターンが積層されるよう前記第1の基材と前記第2の基材とを接合する接合工程と、前記第1の基材及び第2の基材の不要部分を除去する除去工程とを具備することを特徴とするものである。

【0020】また、請求項14記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、基材に、平面視した際に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、前記リードパターン形成工程後、形成されたリードパターンの所定位置に前記突起を形成する突起形成工程とを具備することを特徴とするものである。

【0021】また、請求項15記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置にパンプを単数或いは複数積み重ねることにより前記突起を形成したことを特徴とするものである。

【0022】また、請求項16記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置に導電性部材を配設することにより前記突起を形成したことを特徴とするものである。

【0023】更に、請求項17記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置を塑性加工することにより前記突起を形成したことを特徴とするものである。

【0024】

【作用】上記した各手段は、下記のように作用する。請求項1及び請求項2記載の発明によれば、半導体チップは封止樹脂により封止されるため、耐熱性、機械的強度及び耐湿性を向上させることができる。また、電極パッドをリード及び配線を用いて引き回すことができるため、リードのレイアウトを電極パッドのレイアウトに拘わらず設定することが可能となり、実装基板とのマッチング性を向上させることができる。また、封止樹脂は引き回された配線を実際に保護するためこれによっても信頼性を向上させることができ、また外部接続端子は封止樹脂から露出しているため実装基板との電気的接続を確実に行うことができる。

【0025】また、請求項3記載の発明によれば、通常半導体チップとリードとの絶縁材として配設されるポリイミド膜を接着剤として用いるため、半導体チップとリードの絶縁と接合を一括的に行うことができる。よって、絶縁材と接着剤とを別個に配設する構成に比べて構造の単純化及び製造の容易化を図ることができる。

【0026】また、請求項4記載の発明によれば、突起をリードと一体的に形成したことにより、突起とリードを別個の材料により構成する場合に比べて構造の単純化を図ることができる。また、請求項5記載の発明によれば、配線としてワイヤを用いたことにより、前記した電極パッドとリードとの間における配線の引き回しを容易に行うことができる。

【0027】また、請求項6記載の発明によれば、突起にパンプを形成したことにより、突起を直接実装基板に実装する構成に比べて、半導体装置の実装基板への接続を容易に行うことができる。また、請求項7記載の発明によれば、接合工程においてポリイミド膜を所定温度かつ所定押圧力下に置くことにより接着剤化させ、これによりポリイミド膜でリードと半導体チップとを接合する構成としているため、リードと半導体チップとの絶縁と接合を一括的に行うことができる。

【0028】また、接続工程では半導体チップに形成されている電極パッドと前記リードとを配線を引き回し接続するため、この引き回しを適宜設定することにより、電極パッドのレイアウトに対してリードのレイアウトを変更することが可能となる。また、半導体装置はリード形成工程、接合工程、接続工程及び封止樹脂配設工程の4工程のみで製造される。このように少ない工程で半導体装置が製造されるため、生産効率を向上させることができる。

【0029】また、請求項8記載の発明によれば、ポリイミド膜として両面に熱可塑性を有する接着剤を配設したものをを用いることにより、ポリイミド膜に印加する温度等を所定範囲内に制御することなく接合処理を行うことができるため、接合処理を容易に行うことができる。

【0030】また、請求項9記載の発明によれば、接続工程で、電極パッドとリードとをダイレクトリードボンディング法を用いて電気的に接続するため、簡単かつ確実に電極パッドとリードとの接続処理を行うことができる。また、請求項10及び請求項11記載の発明によれば、アウターリード部のリードピッチに対してインナーリード部のリードピッチが小さく設定されているため、インナーリード部が電気的に接続される半導体チップの電極パッドの配設ピッチが小さくてもこれに対応させることができ、かつ実装基板と電気的に接続されるアウターリード部のリードピッチは大きいため、実装基板への実装性を向上させることができる。また、突起がアウターリード部に形成されることにより、この突起を外部接続端子として用いることができ、これによっても実装性を向上させることができる。

【0031】また、請求項12記載の発明によれば、第1のエッチング工程において突起の形成位置にマスクを配設した上で基材に対してハーフエッチングを行うことにより、突起形成位置を除く部分の板厚を薄くし、更に第2のエッチング工程においてリード形成位置にマスクを配設した上で第1のエッチング工程が終了した基材に対してエッチングを行うことにより、突起が一体的に形成されたリードを形成することができる。

【0032】ここで、リードを形成する際にリードのピッチは基材の板厚により決定されてしまう。具体的には、リードのピッチは基材の板厚と略等しいピッチにしか形成することはできない。よって、薄い板厚を用いる程リードピッチを狭ピッチ化することができる。

【0033】ところが、突起が形成されるリードでは基材の板厚は突起の高さにより決まってしまう、突起の高さと等しい板厚を有する基材を単にエッチング処理したのでは狭ピッチのリードを形成することができない。しかるに、上記のように第1のエッチング工程において突起形成位置を除き基材の板厚を薄くし、この薄くされた板厚を有する部分に第2のエッチング工程においてリードを形成することにより、突起を有するリードであって

も狭ピッチのリード形成を行うことが可能となる。尚、上記説明から明らかなように、突起の配設ピッチは基材の板厚と略等しいピッチまで狭ピッチ化することができる。

【0034】また、請求項13記載の発明によれば、第1の基材及び第2の基材は重ね合わせることににより突起の所定高さ寸法となるよう板厚が選定されているため、各基材の板厚は突起の高さ寸法より小さな厚さとされている。リードパターン形成工程では、この板厚の薄い第1の基材に対してリードの形状となるようリードパターンを形成するため、先に説明した板厚とリードピッチの関係により、形成されるリードパターンのリードピッチを狭ピッチ化することができる。

【0035】また、突起パターン形成工程において第2の基材に少なくとも前記突起の形成位置に位置するよう突起パターンを形成し、接合工程において上記第1の基材と第2の基材を重ね合わせ接合することにより、突起の形成位置においてリードパターンと突起パターンが積層され、この位置における板厚は突起の所定高さとなる。続く除去工程では不要部分が除去されリードが形成される。

【0036】従って、上記のようにリードパターンの形成時には板厚は薄いためリードピッチを狭ピッチ化することができ、また突起形成位置においてはリードパターンと突起パターンが積層されることにより所定高さの突起を形成することができる。また、請求項14記載の発明によれば、リードパターンを形成するリードパターン形成工程と、突起を形成する突起形成工程とを別個に行うことにより、基材の厚さを突起の高さに拘わらず選定することができ、よって薄い基材を用いることによりリードパターンの狭ピッチ化を図ることができる。また、突起形成工程においては、任意の高さを有する突起を形成することが可能となり、設計の自由度を向上させることができる。

【0037】更に、請求項15乃至17記載の発明によれば、突起形成工程において突起の形成を容易に行うことができる。

【0038】

【実施例】次に本発明の実施例について図面と共に説明する。図1及び図2は、本発明の一実施例である半導体装置1を示している。図1は半導体装置1の断面図であり、また図2は半導体装置1を底面図である。

【0039】各図に示されるように、半導体装置1は大略すると半導体チップ2、複数のリード3、封止樹脂4、及びパンプ5等により構成されている。半導体チップ2は、底面の中央位置に複数の電極パッド6が一列に列設されている。また、複数のリード3は、夫々インナーリード部3aとアウターリード部3bとを有した構成とされており、ポリイミド膜7を介して半導体チップ2の底面に接合された構成とされている。

【0040】このポリイミド膜7は、半導体チップ2の上面に形成された回路面2Aとリード3とを電気的に絶縁する絶縁部材として機能すると共に、後述するようにポリイミド膜7は半導体チップ2とリード3とを接合する接着剤として機能している。このように、ポリイミド膜7に絶縁部材と接着剤の双方の機能を持たせることにより、絶縁材と接着剤とを別個に配設する構成に比べ、半導体装置1の構造の簡単化及び製造の容易化を図ることができる。

【0041】また、インナーリード部3aと半導体チップ2に形成された電極パッド6との間にはワイヤ8が配設されており、このワイヤ8を介して半導体チップ2とリード3は電気的に接続された構成とされている。更に、各リード3に設けられたアウターリード部3bの所定位置には、外部接続端子となる突起9が一体的に形成されている。上記構成とされたリード3は、各図に示されるようにその大部分が半導体チップ2の底面上に配設された構成の、いわゆるリード・オン・チップ（LOC）構造となっており、半導体装置1の小型化が図られている。

【0042】また、封止樹脂4は例えばエポキシ樹脂よりなり、後述するようにモールドイングにより形成されている。この封止樹脂4は、半導体チップ2の底面及び側面の所定範囲に配設されている。しかるに本実施例では、半導体チップ2の上面においては、放熱性を向上させる面より封止樹脂4は配設されていない構成とされている。

【0043】上記封止樹脂4は、半導体チップ2の電極パッド6の配設面（底面）を基準とし、この底面からの厚さ（図中、矢印Hで示す）が、底面から突起9の先端までの高さ寸法（図中、矢印Wで示す）以下で、かつ底面からワイヤ8のループ最上部までの高さ寸法（図中、矢印hで示す）以上となるよう構成されている（ $h \leq H \leq W$ ）。この構成とすることにより、突起9の少なくとも先端部9aは確実に封止樹脂4から露出し、またワイヤ8及び突起9の露出部分を除くリード3は封止樹脂4に封止された構成となる。

【0044】このように、本実施例の半導体装置1は、半導体チップ2の所定範囲（上面を除く部位）を封止樹脂4に封止された構成となるため、耐熱性、機械的強度及び耐湿性を向上させることができる。また、封止樹脂4はワイヤ8を確実に保護するため、これによっても半導体装置1の信頼性を向上させることができ、更に外部接続端子となる突起9の少なくとも先端部9aは確実に封止樹脂4から露出するため、実装基板10との電気的接続を確実に行うことができる。

【0045】ここで、図2を用いて半導体チップ2の底面に配設される複数のリード3に注目し、以下説明する。尚、説明の便宜上、図2においては半導体チップ2の底面に配設される封止樹脂4を取り除いた状態を示し

ている。同図に示されるように、リード3は隣接するインナーリード部3aのリードピッチ(図中、矢印 $P_{in}$ で示す)が隣接するアウターリード部3bのリードピッチ(図中、矢印 $P_{out}$ で示す)よりも小さくなるよう形成されている。具体的には、インナーリード部3aのリードピッチ $P_{in}$ はアウターリード部3bのリードピッチ $P_{out}$ の略半分のピッチ( $P_{in}=P_{out}/2$ )となるよう構成されている。また、後に詳述するように、アウターリード部3bのリードピッチ $P_{out}$ は突起9の形成位置におけるリード3の厚さ $W$ とが略等しくなるよう構成されている( $P_{out} \approx W$ )。

【0046】上記のように、アウターリード部3Bのリードピッチ $P_{out}$ に対してインナーリード部3aのリードピッチ $P_{in}$ が小さく設定されることにより、インナーリード部3aが電氣的に接続される半導体チップ2の電極パッド6の配設ピッチが小さくてもこれに対応させることができ、かつ実装基板10と電氣的に接続されるアウターリード部3b(突起9)のリードピッチ $P_{out}$ は大きいので、半導体装置1の実装基板10に対する実装性を向上させることができる。

【0047】一方、本実施例に係る半導体装置1は、半導体チップ2に配設されている電極パッド6に直接 bumps 5を形成し実装基板10に接続するのではなく、電極パッド6とインナーリード部3aとの間にワイヤ8を引き回した上でリード3を介して実装基板10に接続する構成とされている。従って、電極パッド6をリード3及びワイヤ8を用いて引き回すことができるため、リード3のレイアウトを電極パッド6のレイアウトに拘わらず設定することが可能となる。

【0048】具体的には、図2に示す例では、半導体チップ2の中央に形成されている電極パッド6をワイヤ8及びリード3を用いて引き回し、外部接続端子となる突起9を半導体チップ2の外周位置に引き出している。また、図3に示されるように、電極パッド6が半導体チップ2の外周位置に形成されている場合には、本発明を適用して電極パッド6をワイヤ8及びリード3を用いて引き回すことにより、電極パッド6の形成位置より内側に外部接続端子となる突起9を形成することも可能である。更に、図4に示されるように、外部接続端子となる突起9を半導体チップ2の外側位置に配設することも可能となる。

【0049】このように、電極パッド6をリード3及びワイヤ8を用いて引き回すことが可能となることにより、実装基板10と半導体装置1とのマッチング性を向上させることができ、外部接続端子となる突起9のレイアウトを標準外部接続端子のレイアウトに容易に設定することができる。よって、半導体装置1を用いるユーザ側の負担を軽減することができる。

【0050】続いて、上記構成とされた半導体装置1の製造方法について説明する。本発明に係る半導体装置1

は、リード形成工程、接合工程、接続工程及び封止樹脂配設工程の基本となる4工程と、これに付随する bumps 形成工程、試験工程の2工程を行うことにより製造される。以下、各工程毎に説明するものとする。

【0051】図5乃至図9はリード形成工程の第1実施例を示している。このリード形成工程は、リード3の基材となるリードフレーム11を形成するための工程である。リードフレーム11を形成するには、先ず図5に示されるような平板状の基材12を用意する。この基材12は、例えば42アロイ等のリードフレーム材料であり、またその板厚は形成しようとする突起9の高さ寸法 $W$ と等しいものが選定されている。

【0052】上記の基材12に対しては、先ず図6に示されるようにマスク13(梨地で示す)が配設される。このマスク13は、所定の突起9の形成位置(図中、参照符号14で示す)及びクレドール形成位置(図中、参照符号15で示す)に配設される。

【0053】上記のようにマスク13が配設されると、続いて基材12に対してハーフエッチング処理(第1のエッチング工程)が実施される。本実施例においては、ウェットエッチング法により基材12に対してハーフエッチング処理を行っている(ドライエッチング処理等の他のエッチング方法を用いることも可能である)。またエッチング時間は、エッチングにより浸食される部分(図6で白抜きで示される部分)の厚さが、基材12の板厚 $W$ の半分の寸法( $W/2$ )となるよう設定されている。

【0054】このハーフエッチング処理が終了し、マスク13を取り除いた状態を図7に示す。この状態では、突起9の形成位置14及びクレドール形成位置15のみの元の基材12の厚さ $W$ を維持しており、他の部分(参照符号16で示す)はハーフエッチングによりその厚さ寸法は $W/2$ となっている。

【0055】上記のようにハーフエッチング処理が終了する、続いて図8に示されるように所定のリード3の形成位置(参照符号18で示す)及びクレドール形成位置15にマスク17(梨地で示す)を配設した上で、この基材12に対してエッチング処理を行う。

【0056】上記のようにマスク17が配設されると、続いて基材12に対してエッチング処理(第2のエッチング工程)が実施され基材12のマスク17が配設された位置以外の部分を除去する。これにより、図9に示すリード3の所定形状を有した複数のリード3を具備するリードフレーム11が形成される。尚、必要に応じてこのリードフレーム11の所定部位(リード3の形成位置)に金メッキ等を施してもよい。

【0057】このように形成されたリードフレーム11は、リード3がインナーリード部3a、アウターリード部3b及び突起9を一体的に形成した構成とされており、また突起9の高さ寸法が $W$ であるのに対し、インナ

ーリード部3 a及び突起9の形成位置を除くアウターリード部3 bの厚さ寸法は $W/2$ となっている。

【0058】ここで、リードピッチと基材12の板厚との関係について説明する。前記したように、リード3を形成する際にリード3のピッチは基材12の板厚により決定されてしまい、具体的にはリードピッチは基材12の板厚と略等しいピッチにしか形成することはできない。よって、基材12の板厚が薄い程リードピッチを狭ピッチ化することができる。

【0059】ところが、突起9が形成されるリード3では基材12の板厚は突起9の高さにより決まってしまう、突起9の高さと等しい板厚を有する基材12を単にエッチング処理したのでは狭ピッチのリードを形成することができない。しかるに、上記したように第1のエッチング工程においてハーフエッチング処理を実施することにより、突起形成位置14を除き基材12の板厚を薄くし(約 $W/2$ の板厚となるようにする)、更にこの薄くされた板厚を有する部分に第2のエッチング工程を実施してリード3を形成することにより、突起9を有するリード3であっても狭ピッチ(図1に示されるリードピッチ $P_{in}$ )のリード形成を行うことが可能となる。また、同様の理由により、突起9(アウターリード部3 b)の配設ピッチ( $P_{out}$ )は、基材12の板厚 $W$ と略等しいピッチまで狭ピッチ化することが可能となる。

【0060】尚、具体例としては、一般にリード基材として用いられている板厚0.10mm、0.15mm、0.20mmの基材を例に挙げれば、板厚0.10mmの基材ではアウターリード部3 b及び突起9の最小ピッチ $P_{out}$ を0.10mm( $P_{out}=0.10mm$ )、インナーリード部3 aの最小ピッチ $P_{in}$ を0.05mm( $P_{in}=0.05mm$ )とすることができる。また、板厚0.15mmの基材ではアウターリード部3 b及び突起9の最小ピッチ $P_{out}$ を0.15mm( $P_{out}=0.15mm$ )、インナーリード部3 aの最小ピッチ $P_{in}$ を0.075mm( $P_{in}=0.075mm$ )とすることができる。更に、板厚0.20mmの基材ではアウターリード部3 b及び突起9の最小ピッチ $P_{out}$ を0.20mm( $P_{out}=0.20mm$ )、インナーリード部3 aの最小ピッチ $P_{in}$ を0.10mm( $P_{in}=0.10mm$ )とすることができる。

【0061】一方、突起9の形成位置に注目すると、突起9の形成位置は図6に示されるマスク13の配設位置により決められる。即ち、この図6に示されるマスク13の配設位置を適宜変更することにより、突起9の形成位置を任意設定することが可能となる。このため、本実施例に係るリード形成方法では、外部接続端子となる突起9の形成位置を自由度をもって設定することができ、よって予め定められている標準外部接続端子位置に突起9を容易に形成することが可能となる。

【0062】続いて、リード形成工程の第2実施例について説明する。図10乃至図15はリード形成工程の第2実施例を示している。本実施例においてリードフレー

ム20を形成するには、先ず図10に示されるような第1の基材21と、図11に示されるような第2の基材22を用意する。

【0063】この各基材21、22は、重ね合わせることににより突起9の所定高さ寸法 $W$ となるよう板厚が選定されており、本実施例では各基材21、22の板厚寸法は共に $W/2$ に設定されている。尚、各基材21、22の板厚はこれに限定されるものではなく、重ね合わせることににより突起9の所定高さ寸法 $W$ となる条件の基に各基材21、22で板厚を異ならせた構成としてもよい。

【0064】図10に示される第1の基材21は、例えば42アロイ等のリードフレーム材料により形成されており、エッチング処理或いはプレス打ち抜き処理等を予め実施することにより、平面視した場合にリード3と同一形状のリードパターン23が形成された構成とされている。しかるに、第1実施例で説明したリード形成工程と異なり、この状態のリードパターン23には突起9は形成されておらず、よってリードパターン23は全体的にその板厚が $W/2$ とされている。尚、図中25で示すのは位置決め孔であり、リードパターン23の形成時に一括的に形成されるものである。

【0065】一方、図11に示される第2の基材22は、予め42アロイ等のリードフレーム材料に対しエッチング処理或いはプレス打ち抜き処理等を実施することにより、突起パターン24が形成された構成とされている。この突起パターン24は直線状のパターン形状を有しており、所定の突起9の形成位置を横架するよう構成されている。尚、図26は位置決め孔であり、突起パターン24の形成時に一括的に形成されるものである。

【0066】上記構成とされた第1の基材21及び第2の基材22は、位置決め孔25、26を用いて位置決めされつつ重ね合わされ接合される。この第1及び第2の基材21、22の接合は、導電性接着剤を用いて接着してもよく、また溶接により接合してもよい。図12は、第1の基材21と第2の基材22とが接合された状態を示している。

【0067】上記のように第1の基材21と第2の基材22とが接合された状態で、第2の基材22に形成されている突起パターン24は、第1の基材21に形成されているリードパターン23の所定突起形成位置の上部に重ね合わされるよう構成されている。

【0068】図13は、リードパターン23と突起パターン24とが重なり合った部位を拡大して示す平面図であり、また図14はリードパターン23と突起パターン24とが重なり合った部位を拡大して示す側面図である。各図から明らかなように、板厚寸法 $W/2$ のリードパターン23と、同じく板厚寸法 $W/2$ の突起パターン24とが十字状に重なり合うことにより、突起9の形成位置においては全体の板厚寸法が $W$ となり、従って突起9の所定突出高さとなる(図14参照)。

【0069】上記のように第1の基材21と第2の基材22との接合処理が終了すると、続いて不要部分、具体的には突起パターン24のリードパターン23と交差した部分を除く部位をプレス加工等により除去することにより、図15に示すように突起9が一体的に形成されたリード3を有するリードフレーム20が形成される。

【0070】上記のように、本実施例により製造されたリードフレーム20も第1実施例で製造されたリードフレーム11と同様に、リード3はインナーリード部3a、アウターリード部3b及び突起9が一体的に形成された構成となる。また、図10に示すリードパターン23の形成時においては、第1の基材21の板厚は $W/2$ とされているため、先に説明した板厚とリードピッチの関係から明かなように、狭ピッチのリードパターン23を形成することができる。

【0071】一方、突起9の形成位置に注目すると、突起9の形成位置は第2の基材22に形成される突起パターン24の形成位置により決められる。即ち、この突起パターン24の形成位置を適宜変更することにより、突起9の形成位置を任意設定することが可能となる。このため、本実施例に係るリード形成方法においても、外部接続端子となる突起9の形成位置を自由度をもって設定することができ、よって予め定められている標準外部接続端子位置に突起9を容易に形成することが可能となる。

【0072】上記のようにリード形成工程を実施することによりリードフレーム11、20（以下の説明では、リードフレーム11を用いた場合を例に挙げて説明する）が形成されると、続いてリードフレーム11と半導体チップ2を接合する接合工程が実施される。以下、図16乃至図20を用いて接合工程について説明する。

【0073】接合工程においては、先ず図16に示されるようにリードフレーム11のインナーリード部3a（換言すれば、後述する接続工程においてワイヤ8がボンディングされる部位）に金メッキを施すことにより、ボンディングパッド部27を形成する。

【0074】また、図17に示されるように、半導体チップ2の電極パッド6の形成された面には、この電極パッド6の形成部位のみが露出する構成でポリイミド膜7が配設される。このポリイミド膜7はガラス転移点が $100\sim300^{\circ}\text{C}$ のものが選定されており、図17に示される状態では単に半導体チップ2に載置されただけの状態となっている。従って、ポリイミド膜7が脱落しないよう、半導体チップ2は電極パッド6の形成面が上部に位置するよう配置されている。尚、半導体チップ2は樹脂封止は行われておらずベアチップ状とされている。また、上記のポリイミド膜7は、半導体チップ2を形成するウェーハプロセスにおいて半導体チップ2に設ける構成としてもよい。

【0075】続いて、上記のようにポリイミド膜7が配

設され半導体チップ2には、図18に示されるようにリードフレーム11が載置される。この際、リードフレーム11に形成されているリード3（インナーリード部3a）と、半導体チップ2に形成されている電極パッド6とが精度よく対向するよう、リードフレーム11は位置決めされる。

【0076】上記のようにリードフレーム11が半導体チップ2上の所定位置に載置されると、続いて図19に示されるように治具28が降下し、リードフレーム11を半導体チップ2に向け押圧する。また、この治具28は加熱装置を具備しており、治具28で発生する熱はリードフレーム11を介してポリイミド膜7に印加される。

【0077】上記ポリイミド膜7は、半導体チップ2とリードフレーム11とを電氣的に絶縁する絶縁部材として従来より一般的に用いられているものであるが、本発明者はこのポリイミド膜7を所定の環境条件下に置くことにより接着剤として機能することを発見した。具体的には、ポリイミド膜7としてガラス転移点が $100\sim300^{\circ}\text{C}$ のものを使用し、かつこのポリイミド膜7をガラス転移点 $+100\sim200^{\circ}\text{C}$ に加熱すると共に、 $1\sim10\text{kgf}/\text{cm}^2$ の押圧力を印加することにより、ポリイミド膜7は接着剤として機能するようになる。

【0078】よって、本実施例では上記の点に注目し、半導体チップ2とリードフレーム11との接合時に、治具28に設けられているヒータによりポリイミド膜7をガラス転移点 $+100\sim200^{\circ}\text{C}$ に加熱すると共に、治具28の加工によりポリイミド膜に $1\sim10\text{kgf}/\text{cm}^2$ の押圧力を印加する構成としている。これにより、ポリイミド膜7は接着剤として機能するようになり、半導体チップ2とリードフレーム11とをポリイミド膜7を用いて接着することが可能となる。

【0079】上記構成とすることにより、従来では必要とされたポリイミド膜を半導体チップ2及びリードフレーム11と接着するための接着剤は不要となり、製品コストの低減及び半導体装置1の組み立て工数の低減を図ることができる。図20は、半導体チップ2とリードフレーム11とがポリイミド膜7により接合された状態を示している。

【0080】尚、半導体チップ2とリードフレーム11との接合は、ポリイミド膜7を用いて接合する方法に限定されるものではなく、従来のようにポリイミド膜の両面に接着剤を塗布しておき、この接着剤によりポリイミド膜を介在させた状態で半導体チップ2とリードフレーム11とを接合する方法を用いてもよい。この構成では、ポリイミド膜に対する温度制御及び押圧力制御が不要となり、接合工程を簡単に実施することができる。

【0081】上記のように接合工程を実施することにより、半導体チップ2とリードフレーム11とが接合されると、続いてリードフレーム11に形成されているリー



ド3と半導体チップ2に形成されている電極パッド6とをワイヤ8で電氣的に接続する接続工程が実施される。

【0082】図21は、キャピラリ29を用いてワイヤ（例えば金ワイヤ）8をリード3に形成されたボンディングパッド部27（図16参照）と電極パッド6との間に配設する処理を示している。周知のように、半導体装置1の電氣的特性を向上させる面からはワイヤ8の長さは短い方がよく、また半導体装置1の小型化薄型化のためにはワイヤ8は低ループであることが望ましい。

【0083】このため、ワイヤ8を配設するのに低ループボンディング法を採用することが望ましい。低ループボンディング法も種々の方法が提案されているが、例えば先ず半導体チップ2に形成されている電極パッド6にワイヤ8をボンディングし、続いて垂直上方にキャピラリ29を移動させた後に水平方向に移動させてリード3にボンディングする、いわゆる逆打ち法を用いる構成としてもよい。

【0084】上記のように、リード3と電極パッド6とを電氣的に接続するのにワイヤボンディング法を用いることにより、容易かつ高速度に接続処理を行うことができる。また、リード3と電極パッド6との間におけるワイヤ8の引き回しも比較的自由度を持って行うことができる。尚、図22は、接続工程を実施することによりリード3と電極パッド6との間にワイヤ8が配設された状態を示している。

【0085】上記のように接続工程を実施することにより、電極パッド6とリード3とがワイヤ8により電氣的に接続されると、続いて半導体チップ2の所定部分に封止樹脂4を配設する封止樹脂配設工程が実施される。以下、図23乃至図25を用いて封止樹脂配設工程について説明する。

【0086】図23は、上記の各工程を実施することによりリードフレーム11、ワイヤ8等が配設された半導体チップ2を金型30に装着した状態を示している。金型30は上型31と下型32とにより構成されており、リードフレーム11が上型31と下型32との間にクランプされることにより、半導体チップ2は金型30内に装着される。

【0087】上型31は、半導体チップ2が装着された状態で突起9及びリードフレーム11のクレドール33と当接する構成とされている。突起9の高さとクレドール33の高さは等しいため、よって上型31の形状は平板形状とされている。また、下型32は装着された半導体チップ2の側部に空間部を有したキャビティ形状を有しており、また半導体チップ2の図における底面はキャビティ33の底面と当接する構成とされている。

【0088】このように、封止樹脂配設工程で用いる上型31は平板形状であり、また下型32に形成されるキャビティ33も簡単な形状であるため、金型30を製造するのに要する金型コストは安価となり、よって半導体

装置1の製品コストの低減に寄与することができる。

【0089】図24は金型30に封止樹脂4（梨地で示す）を充填した状態を示している。金型30に封止樹脂4を充填することにより、半導体チップ2の下型31と当接した上面（図23乃至図25では下部に位置する）を除く外周面は封止樹脂4により封止される。また、半導体チップ2の底面に配設されているリード3及びワイヤ8も封止樹脂4により封止された状態となる。また、突起9も上型31と当接している端部を除き封止樹脂4により封止された構成となる。

【0090】図25は、封止樹脂4が充填処理された半導体チップ2を金型30から離型した状態を示している。同図に示されるように、半導体チップ2の上面2aは封止樹脂4より露出しており、よってこの上面2aより半導体チップ2で発生する熱を効率よく放熱させることができる。また、突起9の端部9aも封止樹脂4から外部に露出しており、従ってこの端部9aを外部接続端子として用いることができる。

【0091】図25に示される状態において、図中一点鎖線で示す箇所ではリードフレーム11を切断することにより半導体装置を構成しても、図1に示す半導体装置1と同様の効果を実現することができる。しかるに、図25に示す状態では、外部接続端子として機能する突起9の端部9aが封止樹脂4の表面と略面一となっているため、実装基板10に対する実装性が不良である。このため、本実施例においては、封止樹脂配設工程が終了した後、端部9aにバン部5を形成するバンパ形成工程を実施している。以下、バンパ形成工程を図26乃至図30を用いて説明する。

【0092】バンパ形成工程においては、先ず図26に示すように、封止樹脂4が配設された半導体チップ2の全面に対してホーニング処理を行い、残留する樹脂屑等を除去すると共に、突起9の端部9aを確実に外部に露出させる。ホーニング処理が終了すると、続いて図27に示すように、封止樹脂4が配設された半導体チップ2を半田槽34に浸漬し、突起9の端部9aに半田を用いて外装メッキを行う（半田膜を参照符号35で示す）。この外装メッキに用いる半田としては、例えばPb：Sn＝1：9の組成比を有する半田の適用が考えられる。図28は、上記の外装メッキにより突起9の端部9aに半田膜35が形成された状態を示している。

【0093】上記のように外装メッキ処理が終了すると、続いて半田膜35が形成された突起9の端部9aにバンパ5が形成される。このバンパ5の形成方法としては種々の方法を採用することができ、例えば効率よくかつ容易にバンパ5を形成しうる転写バンパ方法を用いて形成してもよい。図29は、バンパ5が突起9の端部9aに形成された状態を示している。

【0094】上記のようにバンパ5が突起9の端部9aに形成されると、続いて図29に一点鎖線で示す位置で

リードフレーム 11 の切断処理が行われ、これにより、図 30 に示される半導体装置 1 が形成される。尚、このリードフレーム 11 の切断処理に先立ち、切断処理を容易にするためにリードフレーム 11 の切断箇所にはハーフエッチング処理を行ってもよい。

【0095】上記のように製造された半導体装置 1 に対しては、続いて適正に作動するかどうかを試験する試験工程が実施される。図 31 及び図 33 は、夫々異なる半導体装置 1 の試験方法を示している。図 31 に示される試験方法では、パンプ 5 を装着しうる構成とされたソケット 36 を用い、このソケット 36 に半導体装置 1 を装着することによりパーイン等の試験を行うものである。

【0096】また、図 32 に示される試験方法は、プローブ 37 を用いて半導体装置 1 の試験を行う方法である。半導体装置 1 は、封止樹脂 4 の側部位置にリード 3 の端部が封止樹脂 4 から露出した構成とされている。本試験方法では、これを利用して封止樹脂 4 から露出したリード 3 にプローブ 37 を接触させて試験を行う構成とされている。よって、本試験方法を採用することにより、半導体装置 1 を実装基板 10 に実装した後においても試験を行うことが可能となる。

【0097】図 33 は、半導体装置 1 を実装基板 10 に実装する実装工程を示している。半導体装置 1 を実装基板 10 に実装する方法としては、周知の種々の方法を採用することが可能である。例えば、赤外線リフロー方法を用い、半導体装置 1 に設けられているパンプ 5 を実装基板 10 に形成されている電極部 38 にペースト等を用いて仮止めし、その上で赤外線リフロー炉においてパンプ 5 を溶融させることによりパンプ 5 と電極部 38 とを接合する方法を用いてもよい。

【0098】続いて、上記した半導体装置の製造方法の変形例について以下説明する。図 34 乃至図 37 は、夫々突起 9 の変形例を示している。図 34 (A), (B) に示される突起 9A は、その形状を円柱状とした構成である。また、図 37 (C) に示される突起 9B は、その形状を角柱状とした構成である。このように、突起 9, 9A, 9B の平面形状は種々選定できるものであり、パンプ 5 の接合性及び実装基板 10 に形成されている電極部 38 の形状等に応じて任意に形状を選定することが可能である。具体的には、例えばエッチング法により突起 9, 9A, 9B を形成する場合には、図 6 に示す突起形成位置 14 に配設するマスク 13 の形状を適宜選定することにより突起 9, 9A, 9B の平面形状を容易に所望する形状とすることができる。

【0099】また、図 35 (A) に示される突起 9C のように上面に湾曲状凹部を形成した構成としてもよく、図 35 (B) に示される突起 9D のように上面中央部に突起を形成した構成としてもよく、逆に図 35 (C) に示される突起 9E のように上面中央部に矩形状の凹部を形成してもよい。上記のように構成された突起 9C~9

E によれば、突起表面における面積を大きくすることができパンプ 5 との接合性の向上を図ることができる。

尚、上記の突起 9C~9E は、リード 3 の所定突起形成位置に、導電性接着剤等を用いて固定された構成とされている。

【0100】また図 35 (D) に示すのは、リード 3 をプレス加工等により直接塑性変形させることにより突起 9F を形成したものである。このようにプレス加工等の塑性加工を用いて突起 9F を形成することにより、極めて容易に突起 9F を形成することができる。しかるに、この形成方法では、突起 9F の高さは塑性加工限界値を上限とし、それ以上の高さに設定することはできないという問題点も有する。

【0101】また、図 36 に示すのは、突起 9G を形成するのにワイヤボンディング技術を用い、スタッドパンプを所定の突起経緯位置に形成することにより突起 9G としたことを特徴とするものである。図 36 (A) は突起 9G の形成方法を示しており、また図 36 (B) は突起 9G を拡大して示している。

【0102】上記のように、突起 9G をワイヤボンディング技術を用いスタッドパンプで形成することにより、任意の位置に突起 9G を形成することが可能となり、外部接続端子となる突起 9G を所定位置に容易に形成することができる。また、突起 9G の形成は、半導体装置の製造工程の内、接続工程においてワイヤ 8 の配設時に一括的に形成することが可能となり、製造工程の簡略化を図ることができる。

【0103】また、突起 9G の高さはスタッドパンプを複数個積み重ねて配設することにより任意に設定することができる。図 37 (A) に示される突起 9H は、スタッドパンプを 3 個積み重ねることにより図 36 (B) に示される 1 個のスタッドパンプにより突起 9G を形成した構成に比べて高さを高くしたものである。

【0104】また突起の高さを高くする他の方法としては、図 37 (B) に示されるように予めリード 3 にブロック状の導電性部材 41 を導電性接着剤等により固定しておき、この導電性部材 41 の上部に図 37 (C) に示されるようにスタッドパンプ 42 を形成し、積層された導電性部材 41 とスタッドパンプ 42 とが協働して突起 9I を形成する構成としてもよい。この構成の場合、突起 9I の高さは導電性部材 41 の高さにより決められることとなるが、ブロック状の導電性部材 41 は種々の大きさのものが提供されており、よって突起 9I の高さを任意に設定することができる。

【0105】図 38 は、接合工程の変形例を示している。上記した実施例では、図 16 乃至図 20 に示したように半導体チップ 2 とリードフレーム 11 とを所定条件下で接着剤として機能するポリイミド膜 7 を用いて接合した構成を示したが、このポリイミド膜 7 に代えてテープ状接着剤 45 を用いて半導体チップ 2 とリードフレー



ム11とを接合する構成としてもよい。

【0106】また、テープ状接着剤45の配設位置は、半導体チップ2の上面だけではなく、図38に示されるようリードフレーム11の下面にも設けてもよく、またリードフレーム11の下面のみに設けた構成としてもよい。更に、テープ状接着剤45の配設範囲は、電極パッド6の形成位置を除く図中矢印Xで示す範囲であれば、自由に設定することができる。尚、テープ状接着剤45は、半導体チップ2とリードフレーム11とを電氣的に絶縁する必要があるため、絶縁性接着剤である必要がある。

【0107】図39乃至図42は、接続工程の変形例を示している。上記した実施例では、図21及び図22に示されるように電極パッド6とリード3とを接続するのにワイヤ8を用いた構成を示したが、図39乃至図42に示す変形例では電極パッド6とリード3とを直接接続するダイレクトリードボンディング(DLB)方法を用いたことを特徴としている。

【0108】図39及び図40に示す例では、リード3を例えば超音波振動子に接続された接合治具46を用いて直接的に電極パッド6に接合する構成とされている。しかるに、この構成では超音波振動する接合治具46により、電極パッド6にダメージが発生するおそれがある。

【0109】そこで図41及び図42に示す例では、予め電極パッド6にスタッドバンプ47を配設しておき、このスタッドバンプ47にリード3を当接させた上で加熱治具48を用いてスタッドバンプ47を加熱溶融し電極パッド6とリード3を接続する構成とされている。この接続方法によれば、電極パッド6が損傷するおそれはなく、接続工程の信頼性を向上させることができる。

【0110】また、図39乃至図42に示した接続工程によれば、ワイヤ8を用いて電極パッド6とリード3を接続する構成に比べて電気抵抗を低減できるため、半導体装置1の電気特性を向上させることができ、高速の半導体チップ2に対応することができる。

【0111】図43乃至図44は、封止樹脂配設工程の変形例を示している。上記した実施例では、図23及び図24に示されるように金型30を構成する下型32のキャビティ底面は半導体チップ2の上面2aと直接当接し、この上面2aには放熱特性を向上させる面から封止樹脂4が配設されない構成とされていた。

【0112】しかるに、半導体装置1が使用される環境が厳しい(例えば、多湿環境)時には放熱性よりも耐湿性等をより必要とする場合が生じ、このような場合には封止樹脂4により半導体チップ2を完全に封止する必要がある。図43及び図44に示す金型50は、半導体チップ2を封止樹脂4で完全に封止する構成とされている。

【0113】具体的には、下型51に形成されているキ

ャビティ52が、図43に示されるように半導体チップ2の外周面から離間しており、よって図44に示されるように封止樹脂4を金型に充填した状態で半導体チップ2は完全に封止樹脂4に封止された構成となる。このように、半導体チップ2に対する封止樹脂4の配設位置は、金型30、50に形成されるキャビティ33、52の形状を適宜変更することにより任意に設定することができる。

【0114】また、上型31にリード3に形成された突起9を装着する凹部を形成しておくことにより、図45に示されるような突起9が封止樹脂4から大きく突出した構成の半導体装置60を形成することも可能である。図45に示す半導体装置60は、突起9が封止樹脂4から大きく突出しているため実装基板10に対する実装性は良好であり、よって前記した実施例に係る半導体装置1のようにバンプ5を設ける必要はなく、半導体装置60の製造工程の簡単化を図ることができる。

【0115】

【発明の効果】上述の如く本発明によれば、下記の種々の効果を実現することができる。請求項1及び請求項2記載の発明によれば、半導体チップは封止樹脂により封止されるため、耐熱性、機械的強度及び耐湿性を向上させることができる。また、電極パッドとリードとの間で配線を引き回すことができるため、リードのレイアウトを電極パッドのレイアウトに拘わらず設定することが可能となり、実装基板とのマッチング性を向上させることができる。また、封止樹脂は引き回された配線を確実に保護するためこれによっても信頼性を向上させることができ、また外部接続端子は封止樹脂から露出しているため実装基板との電氣的接続を確実に行うことができる。

【0116】また、請求項3記載の発明によれば、通常半導体チップとリードとの絶縁材として配設されるポリイミド膜を接着剤として用いているため、半導体チップとリードの絶縁と接合を一括的に行うことができ、よって絶縁材と接着剤とを別個に配設する構成に比べて構造の簡単化及び製造の容易化を図ることができる。

【0117】また、請求項4記載の発明によれば、突起をリードと一体的に形成したことにより、突起とリードを別個の材料により構成する場合に比べて構造の簡単化を図ることができる。また、請求項5記載の発明によれば、配線としてワイヤを用いたことにより、前記した電極パッドとリードとの間における配線の引き回しを容易に行うことができる。

【0118】また、請求項6記載の発明によれば、突起にバンプを形成したことにより、突起を直接実装基板に実装する構成に比べて、半導体装置の実装基板への接続を容易に行うことができる。また、請求項7記載の発明によれば、接合工程においてポリイミド膜を所定温度かつ所定押圧力下に置くことにより接着剤化させ、これによりポリイミド膜でリードと半導体チップとを接合する

構成としているため、リードと半導体チップとの絶縁と接合を一括的に行うことができる。

【0119】また、接続工程では半導体チップに形成されている電極パッドと前記リードとを配線を引き回し接続するため、この引き回しを適宜設定することにより、電極パッドのレイアウトに対してリードのレイアウトを変更することが可能となる。また、半導体装置はリード形成工程、接合工程、接続工程及び封止樹脂配設工程の4工程のみで製造される。このように少ない工程で半導体装置が製造されるため、生産効率を向上させることができる。

【0120】また、請求項8記載の発明によれば、ポリイミド膜に印加する温度等を所定範囲内に制御することなく接合処理を行うことができるため、接合処理を容易に行うことができる。また、請求項8記載の発明によれば、接続工程で、電極パッドとリードとをダイレクトリードボンディング法を用いて電氣的に接続するため、簡単かつ確実に電極パッドとリードとの接続処理を行うことができる。

【0121】また、請求項10及び請求項11記載の発明によれば、アウターリード部のリードピッチに対してインナーリード部のリードピッチが小さく設定されているため、インナーリード部が電氣的に接続される半導体チップの電極パッドの配設ピッチが小さくてもこれに対応させることができ、かつ実装基板と電氣的に接続されるアウターリード部のリードピッチは大きいいため、実装基板への実装性を向上させることができる。また、突起がアウターリード部に形成されることにより、この突起を外部接続端子として用いることができ、これによっても実装性を向上させることができる。

【0122】また、請求項12及び請求項13記載の発明によれば、突起が一体的に形成された狭ピッチのリードを容易に形成することができる。また、請求項14記載の発明によれば、リードパターンを形成するリードパターン形成工程と、突起を形成する突起形成工程とを別個に行うことにより、基材の厚さを突起の高さに拘わらず選定することができ、よって薄い基材を用いることによりリードパターンの狭ピッチ化を図ることができる。また、突起形成工程においては、任意の高さを有する突起を形成することが可能となり、設計の自由度を向上させることができる。

【0123】更に、請求項15乃至17記載の発明によれば、突起形成工程において突起の形成を容易に行うことができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例である半導体装置を示す断面図である。

【図2】本発明の一実施例である半導体装置を示す底面図である。

【図3】本発明の一実施例である半導体装置の変形例を

示す底面図である。

【図4】本発明の一実施例である半導体装置の変形例を示す底面図である。

【図5】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、基材を示す図である。

【図6】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、所定位置にマスクを配設した状態を示す図である。

【図7】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、第1のエッチング工程が終了した状態を示す図である。

【図8】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、所定位置にマスクを配設した状態を示す図である。

【図9】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、完成したリードフレームを示す図である。

【図10】本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第1の基材を示す図である。

【図11】本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第2の基材を示す図である。

【図12】本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第1の基材と第2の基材を接合した状態を示す図である。

【図13】リードパターンと突起パターンとが重なり合った部位を拡大して示す平面図である。

【図14】リードパターンと突起パターンとが重なり合った部位を拡大して示す側面図である。

【図15】本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、完成したリードフレームを示す図である。

【図16】本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、ボンディングパッド部の形成を説明するための図である。

【図17】本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、半導体チップにポリイミド膜を配設する処理を説明するための図である。

【図18】本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、半導体チップにリードフレームを配設する処理を説明するための図である。

【図19】本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、ポリイミド膜を接着剤として機能させて半導体チップとリードフレームとを接合する処理を説明するための図である。

【図20】本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、半導体チップとリードフレームとがポリイミド膜を介在させて接合された状態を

示す図である。

【図 2 1】本発明に係る半導体装置の製造工程の接続工程を説明するための図であり、キャピラリを用いてワイヤの配線処理を行っている状態を示す図である。

【図 2 2】本発明に係る半導体装置の製造工程の接続工程を説明するための図であり、電極パッドとリードとの間にワイヤが配設された状態を示す図である。

【図 2 3】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、半導体チップが金型に装着された状態を説明するための図である。

【図 2 4】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、金型に封止樹脂が充填された状態を説明するための図である。

【図 2 5】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、樹脂封止された半導体チップが金型から離型された状態を説明するための図である。

【図 2 6】本発明に係る半導体装置の製造工程のバンパ形成工程を説明するための図であり、ホーニング処理を実施している状態を示す図である。

【図 2 7】本発明に係る半導体装置の製造工程のバンパ形成工程を説明するための図であり、外装メッキ処理を実施している状態を示す図である。

【図 2 8】本発明に係る半導体装置の製造工程のバンパ形成工程を説明するための図であり、外装メッキ処理が終了した状態を示す図である。

【図 2 9】本発明に係る半導体装置の製造工程のバンパ形成工程を説明するための図であり、バンパを形成した状態を示す図である。

【図 3 0】本発明に係る半導体装置の製造工程のバンパ形成工程を説明するための図であり、完成した半導体装置を示す図である。

【図 3 1】本発明に係る半導体装置の試験工程を説明するための図であり、ソケットを用いて試験を行う方法を示す図である。

【図 3 2】本発明に係る半導体装置の試験工程を説明するための図であり、プローブを用いて試験を行う方法を示す図である。

【図 3 3】半導体装置を実装基板に実装する実装工程を説明するための図である。

【図 3 4】突起の平面形状を異ならせた変形性を示す図である。

【図 3 5】突起の断面形状を異ならせた変形性を示す図である。

【図 3 6】スタッドバンパにより突起を形成する構成を説明するための図である。

【図 3 7】スタッドバンパにより突起を形成する構成の変形例を示す図である。

【図 3 8】接合工程の変形例を説明するための図である。

【図 3 9】接続構成の変形例を示す図であり、電極パッドに直接リードが接続する方法を説明するための図である。

【図 4 0】接続構成の変形例を示す図であり、電極パッドに直接リードが接続された状態を示す図である。

【図 4 1】接続構成の変形例を示す図であり、電極パッドにリードをスタッドバンパを介して接続する方法を説明するための図である。

【図 4 2】接続構成の変形例を示す図であり、電極パッドにリードをスタッドバンパを介して接続した状態を示す図である。

【図 4 3】封止樹脂配設工程の変形例を説明するための図であり、金型に半導体チップが装着された状態を示す図である。

【図 4 4】封止樹脂配設工程の変形例を説明するための図であり、金型に封止樹脂が充填された状態を示す図である。

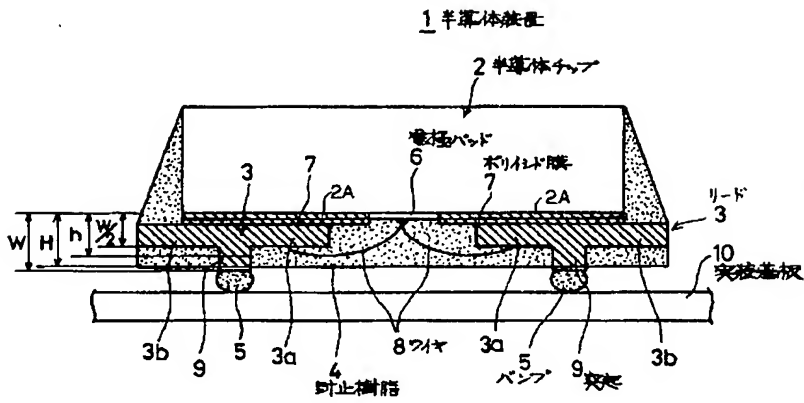
【図 4 5】突起が封止樹脂より大きく突出した構成の半導体装置を示す図である。

#### 【符号の説明】

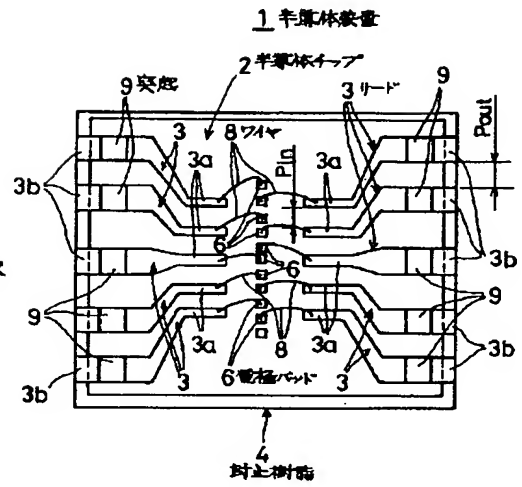
- 1, 6 0 半導体装置
- 2 半導体チップ
- 3 リード
- 3 a インナーリード部
- 3 b アウターリード部
- 4 封止樹脂
- 5 バンパ
- 6 電極パッド
- 8 ワイヤ
- 9, 9 A ~ 9 I 突起
- 1 0 実装基板
- 1 1, 2 0 リードフレーム
- 1 2 基材
- 1 3, 1 7 マスク
- 2 1 第 1 の基材
- 2 2 第 2 の基材
- 2 3 リードパターン
- 2 4 突起パターン
- 2 8 治具
- 2 9 キャピラリ
- 3 0, 5 0 金型
- 3 1 上型
- 3 2, 5 1 下型
- 3 3, 5 2 キャビティ
- 3 4 半田槽
- 3 5 半田膜
- 4 1 導電性部材
- 4 2, 4 7 スタッドバンパ
- 4 5 テープ状接着剤
- 4 6 接合治具

## 4 8 加熱治具

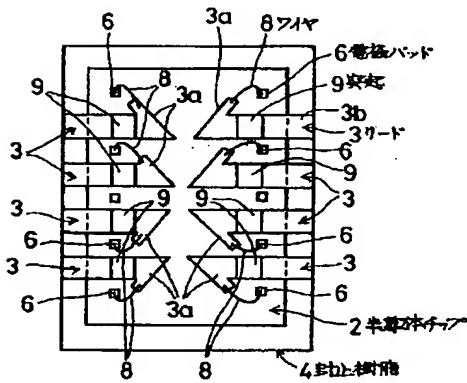
【図 1】



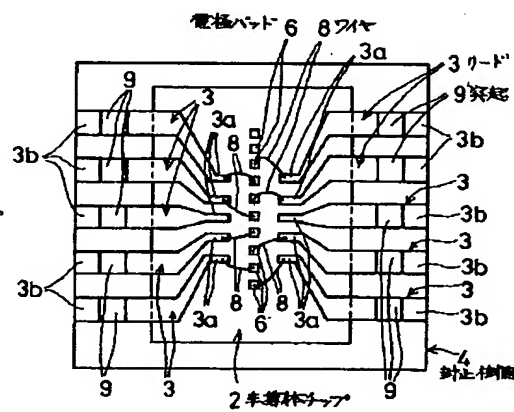
【図 2】



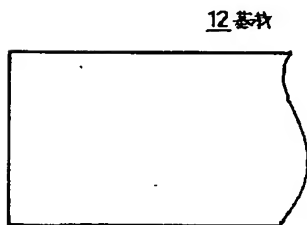
【図 3】



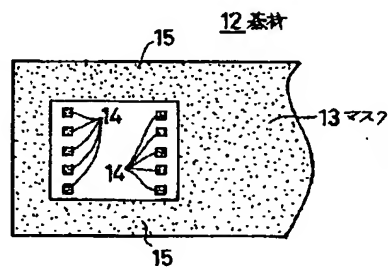
【図 4】



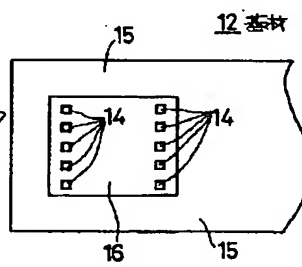
【図 5】



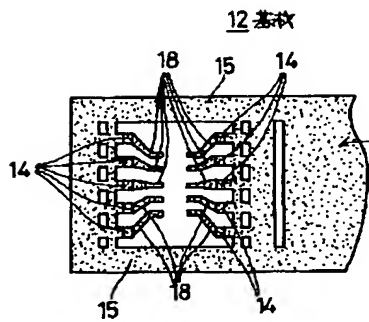
【図 6】



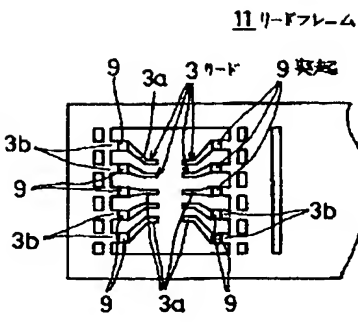
【図 7】



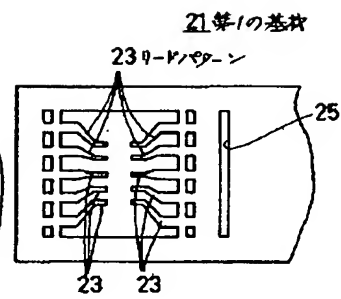
【図8】



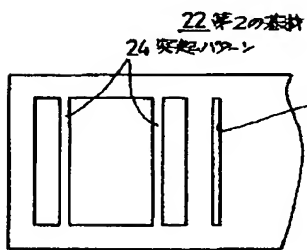
【図9】



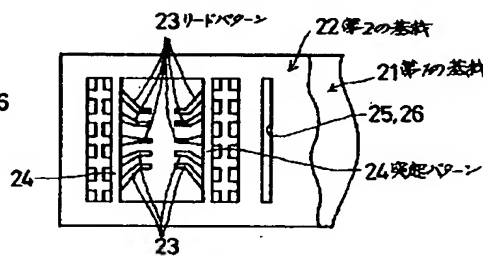
【図10】



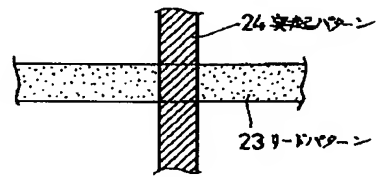
【図11】



【図12】

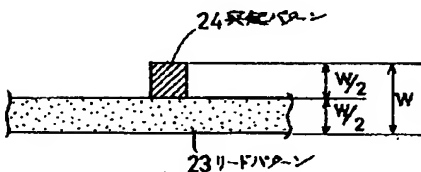


【図13】

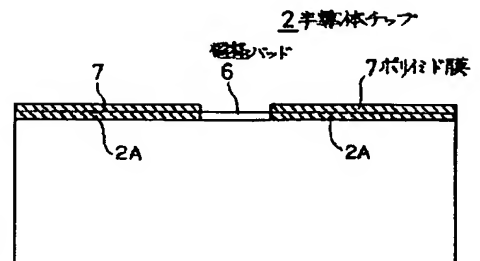
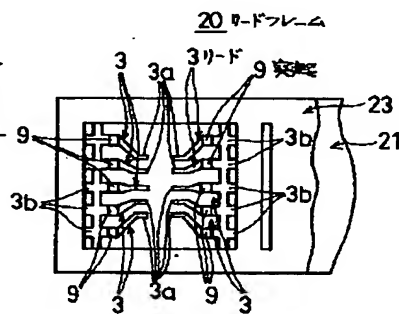


【図17】

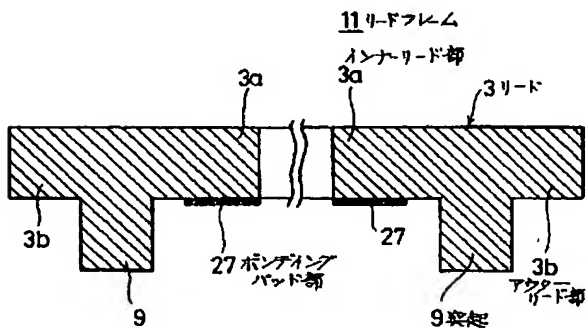
【図14】



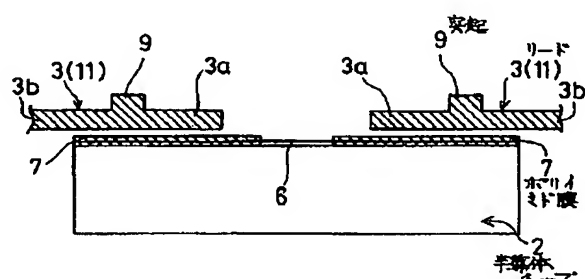
【図15】



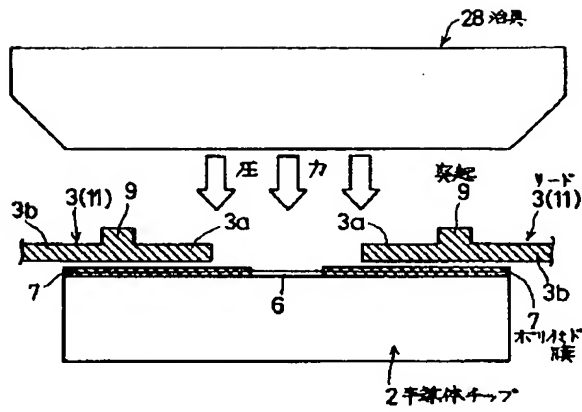
【図16】



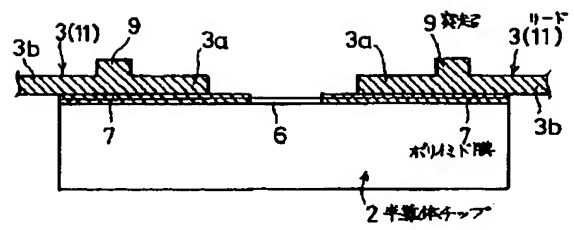
【図18】



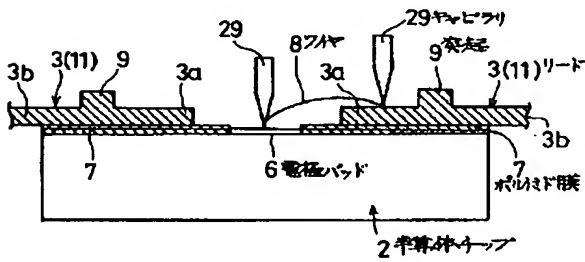
【図19】



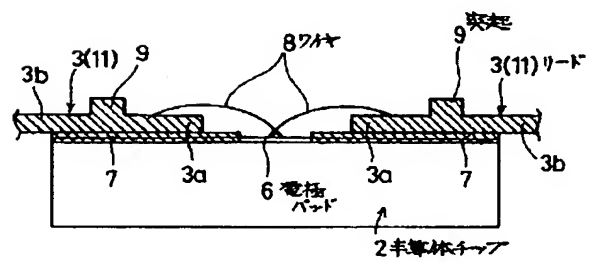
【図20】



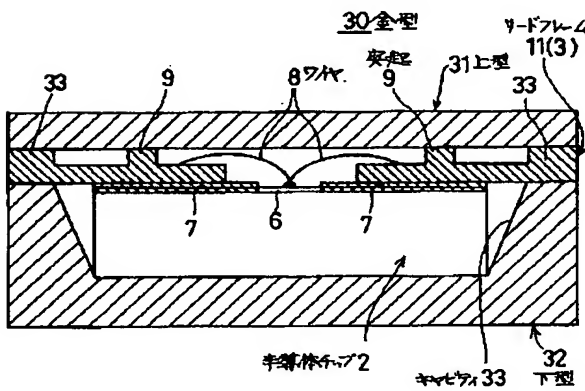
【図21】



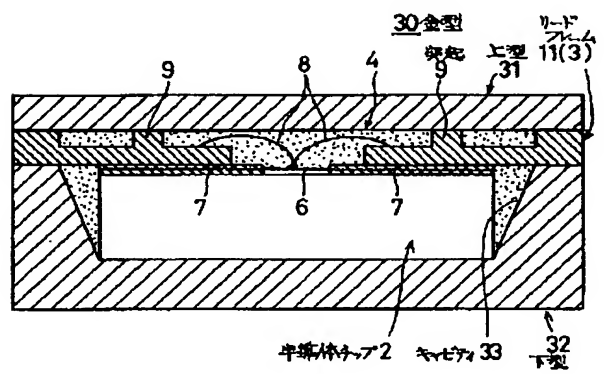
【図22】



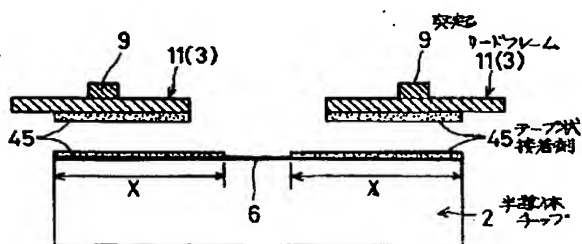
【図23】



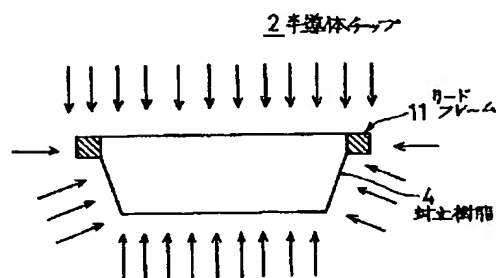
【図24】



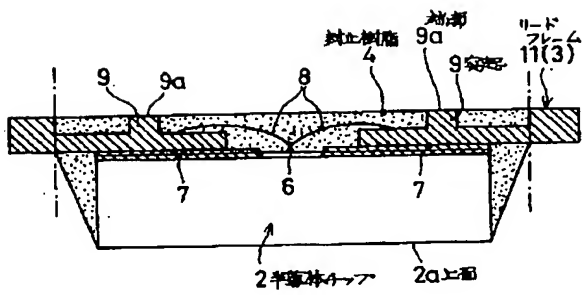
【図38】



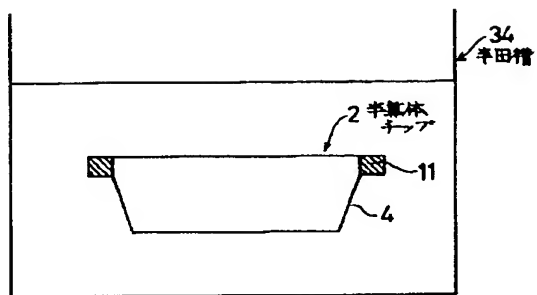
【図26】



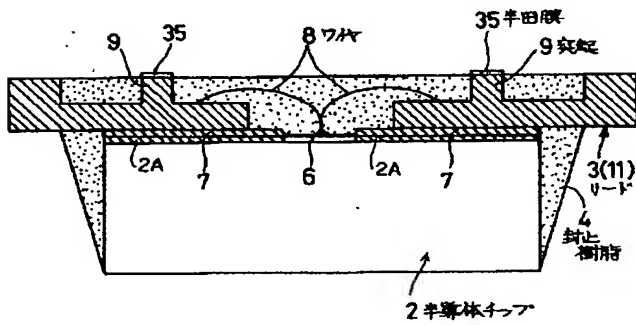
【図25】



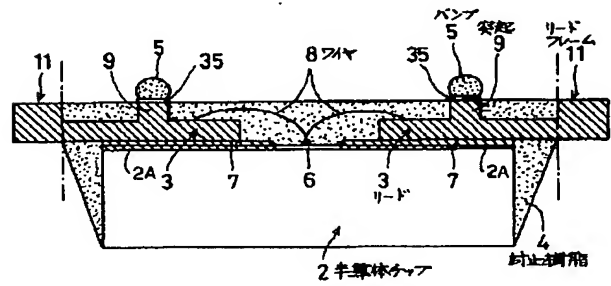
【図27】



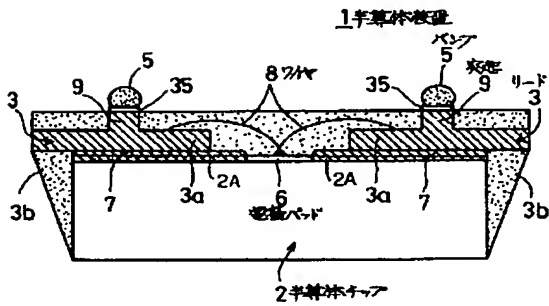
【図28】



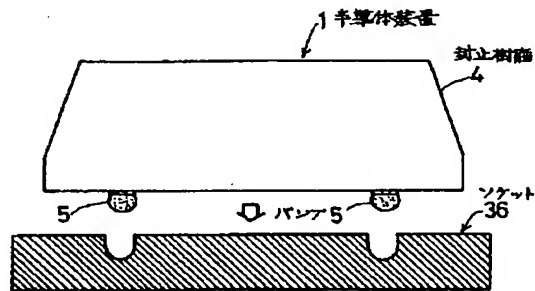
【図29】



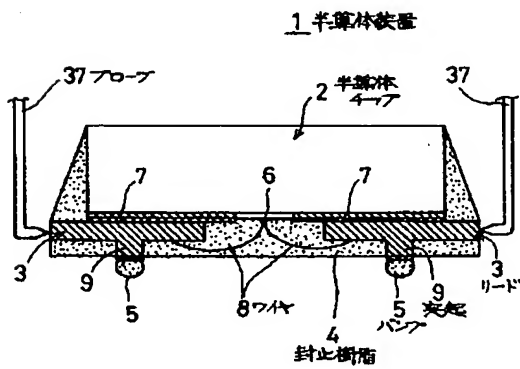
【図30】



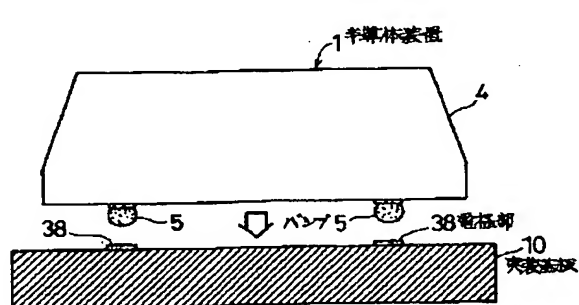
【図31】



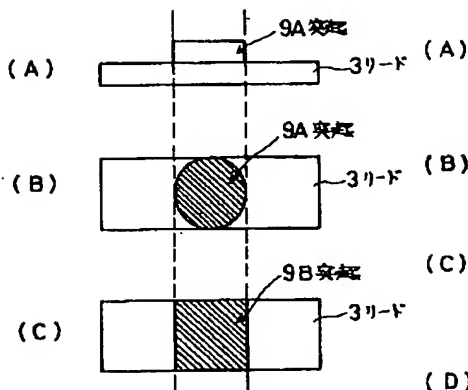
【図32】



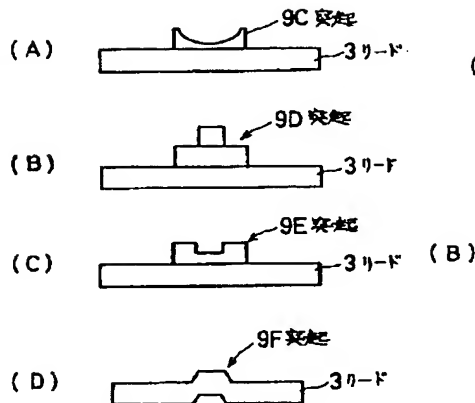
【図33】



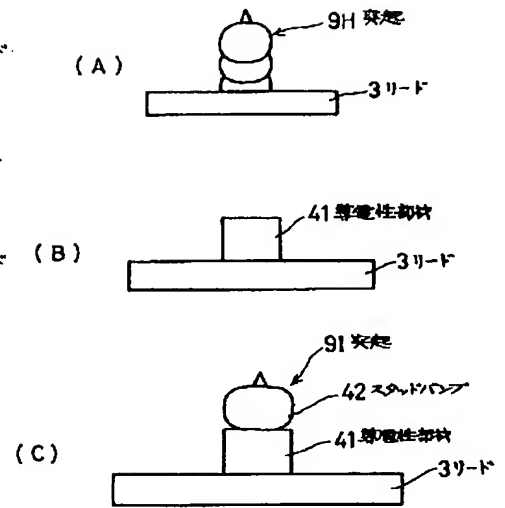
【図34】



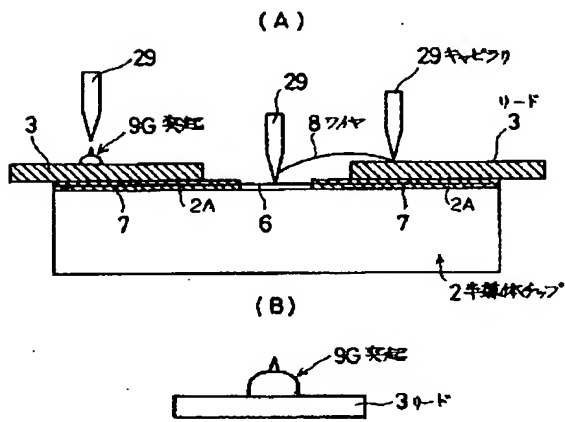
【図35】



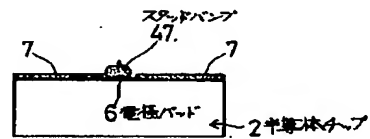
【図37】



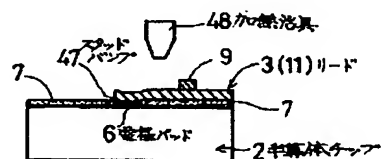
【図36】



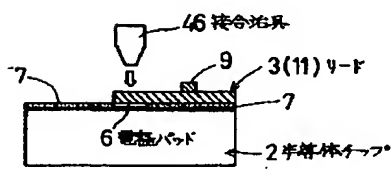
【図41】



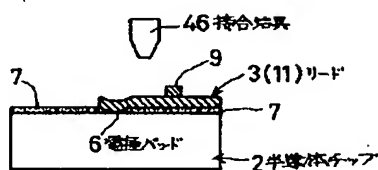
【図42】



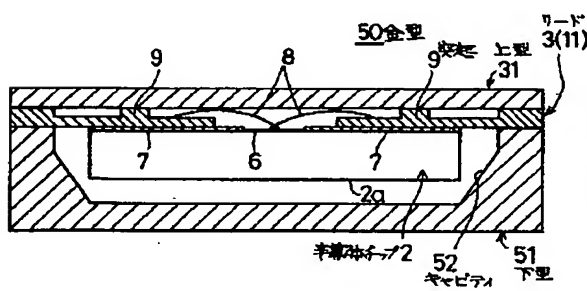
【図39】



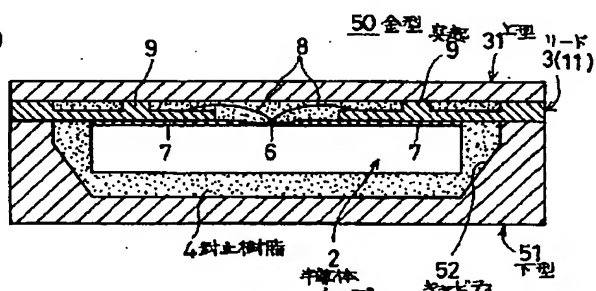
【図40】



【図43】



【図44】





## 60 半導體裝置



(72)発明者 脇 政樹  
鹿儿島県薩摩郡入来町副田5950番地 株式  
会社九州富士通エレクトロニクス内